

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

◆Japanese Patent Application Laid-Open No. 9-331063

“High Withstand-Voltage Semiconductor Device and Method of Manufacturing the Same”

The following is an extract relevant to the present application.

5 An emitter trench 80 is formed between gate trenches 70, and an IGBT of a structure is shown.

10 This emitter trench 80 comprises an emitter trench groove 80a having the same depth as a gate trench groove 7a of the gate trenches 70, an emitter insulation film 80b which is formed to cover an inner surface of the emitter trench groove 80a, and an emitter trench electrode 80c which is made of a doped polysilicon or the like for filling the emitter trench groove 80a. Moreover, the emitter trench electrode 80c is electrically connected to an emitter electrode 10. (FIG.30)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-331063

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 5 B
29/74			29/74	N
		9447-4M	29/78	6 5 3 A

審査請求 未請求 請求項の数28 O L (全 25 頁)

(21) 出願番号 特願平8-332467

(22) 出願日 平成8年(1996)12月12日

(31) 優先権主張番号 特願平8-89439

(32) 優先日 平8(1996)4月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 上西 明夫

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 中村 勝光

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

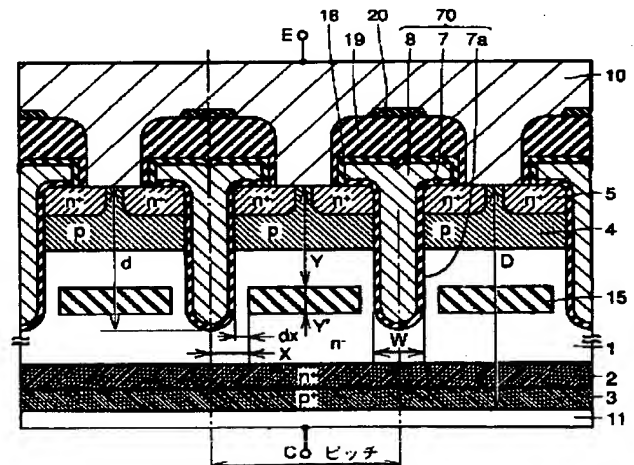
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 高耐圧半導体装置およびその製造方法

(57) 【要約】

【課題】 トレンチゲート間に絶縁層を埋込むことにより、エミッタ側のキャリア密度を増加させて、高耐圧半導体装置の特性の向上を図ることを目的とする。

【解決手段】 所定のピッチで配置されたゲートトレンチ70の間のn⁻シリコン基板1の領域に、絶縁層15が埋込まれている。この構造により、エミッタ側のキャリア密度を増加させ、ゲートトレンチ型高耐圧IGBTの特性を向上させる。



【特許請求の範囲】

【請求項 1】 第 1 の主面と第 2 の主面とを有する第 1 導電型の半導体基板と、
前記第 1 の主面に形成された第 2 導電型の第 1 不純物層と、
前記第 1 不純物層から前記半導体基板にかけて形成された溝部、前記溝部の内表面を覆うように形成されたゲート絶縁膜および前記溝部を充填するように導電体によって形成されたゲート電極を有するゲートトレンチと、
前記第 1 不純物層の表面近傍において、前記ゲートトレンチを挟むように形成された 1 対の第 1 導電型の不純物領域と、
前記第 1 の主面を覆うように形成され、前記ゲートトレンチに対して絶縁膜を介在して、前記不純物領域と前記第 1 不純物層とに電氣的に接続された第 1 主電極層と、
前記第 2 の主面に形成された第 2 導電型の第 2 不純物層と、
前記第 2 不純物層の表面に形成された第 2 主電極層と、
を備え、
前記ゲートトレンチは、所定のピッチで複数設けられ、
前記半導体基板の前記ゲートトレンチによって挟まれた位置には、絶縁層が設けられた、高耐压半導体装置。

【請求項 2】 前記ゲートトレンチの前記溝部の壁面から前記絶縁層までの距離は、前記ゲートトレンチが配置されるピッチの 10 分の 1 以下である、請求項 1 に記載の高耐压半導体装置。

【請求項 3】 前記ゲートトレンチの前記溝部の壁面から前記絶縁層までの距離は、前記ゲートトレンチが配置されるピッチの約 20 分の 1 である、請求項 2 に記載の高耐压半導体装置。

【請求項 4】 前記絶縁層の厚さは、前記ゲート絶縁膜の厚さの 4 倍以下である、請求項 1 に記載の高耐压半導体装置。

【請求項 5】 前記絶縁層の厚さは 0.075 μm であり、前記ゲート絶縁膜の厚さは 0.2 μm である、請求項 4 に記載の高耐压半導体装置。

【請求項 6】 前記絶縁層の深さ方向の位置は、前記ゲートトレンチの前記溝部の底よりも浅い、請求項 1 に記載の高耐压半導体装置。

【請求項 7】 前記ゲートトレンチのピッチは、53 μm 以下である、請求項 1 に記載の高耐压半導体装置。

【請求項 8】 第 1 の主面と第 2 の主面とを有する第 1 導電型の半導体基板と、
前記第 1 の主面に形成された第 2 の導電型の第 1 不純物層と、
前記第 1 不純物層から前記半導体基板にかけて形成された第 1 溝部と、前記第 1 溝部の内表面を覆うように形成されたゲート絶縁膜と、前記第 1 溝部を充填するように導電体によって形成されたゲート電極と、を有するゲートトレンチと、前記不純物層の表面近傍において、前記

ゲートトレンチを挟むように形成された 1 対の第 1 導電型の不純物領域と、
前記第 1 の主面を覆うように形成され、前記ゲートトレンチに対して絶縁膜を介在して、前記不純物領域と前記不純物層とに電氣的に接続された第 1 主電極層と、
前記第 2 の主面に形成された第 2 導電型の第 2 不純物層と、
前記第 2 不純物層の表面に形成された第 2 主電極層と、
を備え、
前記ゲートトレンチは所定のピッチで複数設けられ、前記ゲートトレンチによって挟まれた位置には、前記第 1 不純物層から前記半導体基板にかけて形成された第 2 溝部、前記第 2 溝部の内表面を覆うように形成された絶縁膜および前記第 2 溝部を充填し、前記第 1 主電極層と電氣的に接続された第 2 電極を有するエミッタトレンチを含む、高耐压半導体装置。

【請求項 9】 前記エミッタトレンチの側壁と前記ゲートトレンチの側壁との間隔は、前記ゲートトレンチのピッチの 10 分の 1 以下である、請求項 8 に記載の高耐压半導体装置。

【請求項 10】 第 1 の主面と第 2 の主面とを有する第 1 導電型の半導体基板と、
前記第 1 の主面の所定の領域において、前記第 1 の主面から前記半導体基板の深さ方向にかけて形成された第 1 溝部、前記第 1 溝部の内表面を覆うように形成されたゲート絶縁膜および前記溝部を充填するように導電体によって形成された電極を有するゲートトレンチと、
前記第 1 の主面の近傍において、前記ゲートトレンチに近接するように形成された第 1 導電型の不純物領域と、
前記第 1 の主面を覆うように形成され、前記ゲートトレンチに対して絶縁膜を介在して、前記不純物領域と前記半導体基板とに電氣的に接続された第 1 主電極層と、
前記第 2 の主面に形成された第 2 導電型の第 2 不純物層と、
前記第 2 不純物層の表面に形成された第 2 主電極層と、
を備え、
前記ゲートトレンチは所定のピッチで複数配置され、
前記ゲートトレンチによって挟まれた位置には、前記第 1 の主面から前記半導体基板の深さ方向にかけて形成された第 2 溝部、前記第 2 溝部の内表面を覆うように形成された絶縁膜および前記第 2 溝部を充填し、前記第 1 主電極層と電氣的に接続された第 2 電極とを有するエミッタトレンチを所定のピッチで複数含む、高耐压半導体装置。

【請求項 11】 前記半導体基板は、前記第 1 の主面から前記半導体基板の深さ方向にかけて第 2 導電型の第 1 不純物層をさらに含む、請求項 10 に記載の高耐压半導体装置。

【請求項 12】 前記第 1 導電型の不純物領域は、前記ゲートトレンチを挟むように一対設けられる、請求項 1

0に記載の高耐圧半導体装置。

【請求項 1 3】 前記エミッタトレンチの側壁と前記ゲートトレンチの側壁との間隔は、前記ゲートトレンチのピッチの 10 分の 1 以下である、請求項 1 0 に記載の高耐圧半導体装置。

【請求項 1 4】 前記エミッタトレンチの第 2 溝部と前記ゲートトレンチの第 1 溝部との構造は同一である、請求項 1 0 に記載の高耐圧半導体装置。

【請求項 1 5】 主表面に絶縁層が形成された第 1 導電型の第 1 半導体基板を形成する工程と、
前記絶縁層の上に第 1 導電型の第 2 半導体基板を貼り合せて、絶縁層が内部に挟み込まれた第 1 の主面と第 2 の主面とを有する半導体基板を形成する工程と、
前記半導体基板の前記第 1 の主面に第 2 導電型の第 1 不純物層を形成する工程と、
前記第 1 不純物層の表面の所定の領域に第 1 導電型の不純物領域を形成する工程と、
前記第 2 の主面に第 2 導電型の第 2 不純物層を形成する工程と、
前記不純物領域において、前記絶縁層に通ずる溝部を形成する工程と、
前記溝部に露出した絶縁層を除去する工程と、
前記溝部の内部表面に、エピタキシャル成長法により前記半導体基板と同じ不純物濃度を有するエピタキシャル成長層を形成する工程と、
前記溝部の内部のエピタキシャル成長層の表面にゲート絶縁膜を形成する工程と、
前記溝部内部に導電体を充填し、ゲート電極を形成する工程と、
前記ゲート電極の前記第 1 の主面に露出した部分を絶縁膜で覆う工程と、
前記第 1 不純物層と前記不純物領域とに電気的に接続するように、第 1 の主面を覆うように第 1 主電極層を形成する工程と、
前記第 2 の主面に第 2 主電極層を形成する工程と、を備えた、高耐圧半導体装置の製造方法。

【請求項 1 6】 前記絶縁層の厚さは、前記ゲート絶縁膜の厚さの 4 倍以下である、請求項 1 5 に記載の高耐圧半導体装置の製造方法。

【請求項 1 7】 前記第 2 不純物層の前記半導体基板側に、前記半導体基板よりも不純物濃度が高い第 1 導電型の第 3 不純物層を形成する工程をさらに含む、請求項 1 5 に記載の高耐圧半導体装置の製造方法。

【請求項 1 8】 前記エピタキシャル成長層の厚さは、前記溝部のピッチの 10 分の 1 となるように成膜される、請求項 1 5 に記載の高耐圧半導体装置の製造方法。

【請求項 1 9】 主表面の上に所定のピッチで絶縁層が形成された第 1 導電型の第 1 半導体基板を形成する工程と、

主表面に前記絶縁層が設けられたピッチで、かつ、前記

絶縁層と同じ幅と厚さの凹部が形成された第 1 導電型の第 2 半導体基板を形成する工程と、

前記第 1 半導体基板の主表面と前記第 2 半導体基板の主表面とを貼り合せて、前記絶縁層が所定のピッチで挟み込まれた、第 1 の主面と第 2 の主面とを有する半導体基板を形成する工程と、

前記半導体基板の第 1 の主面に第 2 導電型の第 1 不純物層を形成する工程と、

前記第 1 不純物層の表面の所定の領域に第 1 導電型の不純物領域を形成する工程と、

前記第 2 の主面に第 2 導電型の第 2 不純物層を形成する工程と、

前記不純物領域において、前記絶縁層の間の領域を通過するように前記半導体基板に通ずる溝部を形成する工程と、

前記溝部の内部表面に高抵抗の導電帯膜を形成し加熱処理を行なうことにより高抵抗導電帯膜を形成する工程と、

前記溝部内部に導電体を充填し、ゲート電極を形成する工程と、

前記ゲート電極の前記第 1 の主面に露出した部分を絶縁膜で覆う工程と、

前記第 1 不純物層と前記不純物領域とに電気的に接続するように、前記第 1 の主面を覆うように第 1 主電極層を形成する工程と、

前記第 2 の主面に第 2 主電極層を形成する工程と、を備えた、高耐圧半導体装置の製造方法。

【請求項 2 0】 前記絶縁層の厚さは、前記ゲート絶縁膜の厚さの 4 倍以下である、請求項 1 9 に記載の高耐圧半導体装置の製造方法。

【請求項 2 1】 前記第 2 不純物層の前記半導体基板側に、前記半導体基板よりも不純物濃度が高い第 1 導電型の第 3 不純物層を形成する工程をさらに含む、請求項 1 9 に記載の高耐圧半導体装置の製造方法。

【請求項 2 2】 前記高抵抗導電帯膜の厚さは、前記溝部のピッチの 10 分の 1 となるように成膜される、請求項 1 9 に記載の高耐圧半導体装置の製造方法。

【請求項 2 3】 前記溝部を形成する工程は、前記溝部の底部が前記絶縁層よりも深い位置に達するように形成される、請求項 1 9 に記載の高耐圧半導体装置の製造方法。

【請求項 2 4】 第 1 の主面と第 2 の主面とを有する第 1 導電型の半導体基板を準備する工程と、

前記半導体基板の前記第 1 の主面に第 2 導電型の第 1 不純物層を形成する工程と、

前記第 1 不純物層の表面の所定の領域に第 2 導電型の不純物領域を複数形成する工程と、

前記第 2 の主面に第 2 導電型の第 2 不純物層を形成する工程と、

前記不純物領域において、前記半導体基板に通ずる第 1

溝部を形成する工程と、
 前記第 2 不純物層に挟まれた前記第 1 不純物層において、前記半導体基板に通ずる第 2 溝部を形成する工程と、
 前記第 1 溝部と前記第 2 溝部との内部表面に第 1 絶縁膜を形成する工程と、
 前記第 1 溝部および前記第 2 溝部の内部に導電体を充填し、埋込ゲート電極および埋込エミッタ電極を形成する工程と、
 前記埋込ゲート電極および前記埋込エミッタ電極の前記第 1 の主面に露出した部分を第 2 絶縁膜で覆う工程と、
 前記埋込エミッタ電極の上に形成された前記第 2 絶縁膜に、前記埋込エミッタ電極に通ずるコンタクトホールを開く工程と、
 前記第 1 不純物層と前記不純物領域と前記埋込エミッタ電極とに電氣的に接続するように、第 1 の主面を覆うように第 1 主電極層を形成する工程と、
 前記第 2 の主面に、第 2 主電極層を形成する工程と、を備えた、高耐圧半導体装置の製造方法。

【請求項 2 5】 前記第 2 不純物層の前記半導体基板側に、前記半導体基板よりも不純物濃度が高い第 1 導電型の第 3 不純物層を形成する工程をさらに含む、請求項 2 4 に記載の高耐圧半導体装置の製造方法。

【請求項 2 6】 第 1 の主面と第 2 の主面とを有する第 1 導電型の半導体基板を準備する工程と、
 前記第 1 の主面の所定の領域に第 1 導電型の不純物領域を形成する工程と、
 前記第 2 の主面に第 2 導電型の第 2 不純物層を形成する工程と、
 前記不純物領域の所定位置に、前記半導体基板に通ずる第 1 溝部を形成する工程と、
 前記第 1 不純物層に挟まれた前記半導体基板に第 2 溝部を複数形成する工程と、
 前記第 1 溝部と前記第 2 溝部の内部表面に絶縁膜を形成する工程と、
 前記第 1 溝部および前記第 2 溝部内部に導電体を充填し、埋込ゲート電極および埋込エミッタ電極を形成する工程と、
 前記埋込ゲート電極および前記埋込エミッタ電極の前記第 1 の主面に露出した部分を第 2 絶縁膜で覆う工程と、
 前記埋込エミッタ電極の上に形成された前記第 2 絶縁膜に前記埋込エミッタ電極に通ずるコンタクトホールを開く工程と、
 前記半導体基板と前記不純物領域と前記埋込エミッタ電極とに電氣的に接続するように前記第 1 の主面を覆う第 1 主電極層を形成する工程と、
 前記第 2 の主面に、第 2 主電極層を形成する工程と、を備えた、高耐圧半導体装置の製造方法。

【請求項 2 7】 前記第 2 不純物層の前記半導体基板側に、前記半導体基板よりも不純物濃度が高い第 1 導電型

の第 3 不純物層を形成する工程をさらに含む、請求項 2 6 に記載の高耐圧半導体装置の製造方法。

【請求項 2 8】 前記半導体基板の前記第 1 の主面の所定の領域において、前記第 1 の主面から前記半導体基板の深さ方向にかけて第 2 導電型の第 1 不純物層を形成する工程をさらに含む、請求項 2 6 に記載の高耐圧半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高耐圧半導体装置およびその製造方法に関し、より特定的には、高電圧インバータなどに使用される高耐圧半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、高電圧インバータなどに使用される高耐圧半導体装置は、高電圧インバータの動作効率や動作制御性能を向上させるために、高速動作、低オン電圧の向上が求められている。従来、数千ボルトクラスの領域においては、主として G T O (Gate Turn-Off) サイリスタ素子が使用されていた。しかし、近年、装置の高速化が可能な I G B T (Insulated Gate Bipolar Transistor) 素子の高耐圧化が検討されるようになってきている。

【0003】最近では、微細加工によって電子の供給能力を高めることのできるゲートトレンチタイプの I G B T 素子の開発が進められている。しかし、高速動作、低オン電圧を実現させると、耐圧が低下するなどの問題があり、この限界をさらに高める必要がある。

【0004】ここで、図 4 9 を参照して、従来検討されてきたゲートトレンチ型高耐圧 I G B T の構造について説明する。

【0005】なお、図 4 9 は、ゲートトレンチ型高耐圧 I G B T の概略断面図である。このゲートトレンチ型高耐圧 I G B T の構造は、低不純物濃度の n^- シリコン基板 1 と、この n^- シリコン基板 1 の第 1 の主面 (図中においては上側の面) に設けられた p 型の不純物拡散領域からなる p ウェル 4 とを有している。p ウェル 4 から n^- シリコン基板 1 にかけて、その深さと同程度のピッチで第 1 の主面側から設けられたゲートトレンチ溝 7 a と、そのゲートトレンチ溝 7 a の内部表面に設けられた酸化膜などのゲート絶縁膜 7 と、さらにゲート絶縁膜 7 の内側に設けられたゲート電極 8 とからなるゲートトレンチ 7 0 が設けられている。

【0006】ゲートトレンチ 7 0 の第 1 の主面に接する p ウェル 4 には、n 型の高濃度不純物拡散領域からなる n^+ エミッタ領域 5 が設けられている。

【0007】ゲートトレンチ 7 0 のゲート電極 8 とゲート絶縁膜 7 との第 1 の主面に露出した部分を覆うように、シリケートガラス膜 1 9 が設けられている。さらに、第 1 の主面の表面全面を覆うように、かつ n^+ エミ

に、前記半導体基板よりも不純物濃度が高い第 1 導電型

ット領域5およびpウェル4と電氣的に接続される金属膜などからなるエミッタ電極10が形成されている。

【0008】一方、 n^- シリコン基板1の第2の主面

(図中では下側の面)には、 n^+ の不純物拡散領域からなるnバッファ層2が設けられ、このnバッファ層2の表面に、 p^+ 型の不純物拡散領域からなるpコレクタ領域3が形成されている。さらに、このpコレクタ領域3の表面には、金属膜などからなるコレクタ電極11が設けられている。なお、nバッファ層2は、いわゆるパンチスルータイプの設計として半導体装置の性能を高めるために導入されるもので、必ずしも設ける必要はない。

【0009】次に、上記構造よりなるゲートトレンチ型高耐圧IGBTの動作について以下説明する。

【0010】まず、オフ状態動作について説明する。ゲート電極8とエミッタ電極10との間にゲートしきい値電圧よりも十分低い電圧を印加した状態で、コレクタ電極11とエミッタ電極10との間に電圧を印加する。これにより、 n^- シリコン基板1とpウェル4との接合が逆バイアス状態になり、主に n^- シリコン基板1側に空乏層が広がる。pウェル4のゲートトレンチ70に接した面は、ゲート電位が低いことから、pウェル4内のホールが引きつけられて蓄積し、ゲートトレンチチャネルはオフ状態となる。

【0011】次に、オン状態動作について説明する。ゲート電極7とエミッタ電極10との間にゲートしきい値電圧よりも十分高い電圧を印加した状態で、コレクタ電極11とエミッタ電極10との間に電圧を印加する。これにより、pウェル4のゲートトレンチ70に接した面は、ゲート電位が高いことからpウェル4内の電子が引きつけられて、 n 反転し、トレンチチャネルが形成される。これによって、 n^+ エミッタ領域5からトレンチチャネルを通して n^- シリコン基板1内に電子が供給され、正電位のpコレクタ層3に向かって電子が流れる。

【0012】電子がpコレクタ層3に流れ込むと、pコレクタ層3からnバッファ層2にホールが注入される。このホールは、 n^- シリコン基板1内で伝導率変調を起こすとともに、 n^- シリコン基板1内のライフタイムが十分長いと、トレンチチャネルの近傍まで到達し、電位の低いpウェル4に吸い込まれることになる。

【0013】次に、上記のようなオン状態からオフ状態に移行する際のいわゆるターンオフ状態について説明する。このような高耐圧スイッチング素子の代表的な応用であるインバータ回路においては、誘導性負荷を制御する場合が多い。図50は、従来のゲートトレンチ型高耐圧IGBTにおける誘導性負荷を制御した場合のターンオフ動作を評価した結果を示したものである。

【0014】ゲート容量に蓄えられた電荷が減少し、ゲート電圧が低下して、ゲートトレンチ型高耐圧IGBTが負荷電流を十分に流せなくなると、コレクタ電圧が上昇する。コレクタ電圧が、インバータ回路における母線

電圧の3000Vを超えると、母線回路に負荷電流がバイパスして、ゲートトレンチ型高耐圧IGBTのコレクタ電流が減少する。オン状態のときに、ゲートトレンチ型高耐圧IGBTの n^- シリコン基板1やnバッファ層2に蓄えられていた過剰キャリアが掃き出されると、ゲートトレンチ型高耐圧IGBTのコレクタ電流が流れなくなり、ターンオフ動作が完了する。

【0015】

【発明が解決しようとする課題】上述した、ゲートトレンチ型高耐圧IGBTにおいて、まずオフ状態においては、以下に示す問題を有している。コレクタ電極11とエミッタ電極10との間には、空乏層内部から発生するわずかな漏れ電流が流れるだけで、高いインピーダンスを示す。

【0016】コレクタ電圧を増していくと、空乏層がさらに広がってnバッファ層2に達する。電圧の上昇に伴ってIGBT内部の電界が強くなるが、ゲートトレンチ70の底部の電位はほぼゲート電極8と同じ電位であるのに対して、これと同じ深さ位置におけるpウェル4下方の n^- シリコン基板1の電位は、その位置からpウェル4までの間のドナーイオンによって、pウェル4の電位(エミッタ電位)より上昇する。特に、ゲートトレンチ70の底部コーナーの電界が強くなりやすい。

【0017】このとき、IGBTの内部の電界が臨界電界を超えてインパクト発生が強く起こるようになると、コレクタ電極11とエミッタ電極10との間に急激に漏れ電流が増加して、IGBTが降伏してしまう。

【0018】したがって、IGBTに高耐圧を得るためには、臨界電界に達するまでに空乏層の中に存在する電圧降下を大きくする必要がある。そのために、 n^- シリコン基板1の厚みを厚くして、不純物濃度を下げるようにしたり、ゲートトレンチ70の下部コーナーの電界を緩和して、臨界電界を高めるために、ゲートトレンチ70の下部コーナーに丸みを持たせたり、ゲートトレンチ70の間隔を狭めたりすることが行なわれている(下記文献1参照)。

【0019】(文献1:K Matsushita, I Omura and T Ogura, "Blocking Voltage Design Consideration for Deep Trench MOS Gate High Power Devices" Proc. ISP SD'95 pp 256-260)

しかしながら、ゲートトレンチ70の間隔を狭める方法は、単位面積当りのゲートトレンチ70の面積が増加するために、ゲート容量が増加する問題や、IGBTの製造上の加工限界の問題が顕在化してしまう。

【0020】次に、オン状態における問題点について説明する。 n^- シリコン基板1内の電子とホール密度が高められて、コレクタ電極11とエミッタ電極10との間は低いインピーダンスを示すが、pウェル4に吸い込まれるホールがかなりあるため、トレンチチャネルから n^- シリコン基板1への電子の注入が多少制限されること

になる。

【0021】実用的なものとして検討されている従来のIGBTでは、図51に示すように、エミッタ電極側よりもコレクタ電極側の方が高いキャリア密度分布を示している。

【0022】ここで、オン電圧を下げるためには、 n^- シリコン基板1の伝導率変調を強くすればよく、 n^- シリコン基板1内におけるキャリアのライフタイムが長く、トレンチチャネル側からの電子の供給が多いほど、また、pコレクタ層3側からのホールの供給が多いほどオン電圧は低くなる。しかし、特に数千ボルト級のIGBTでは、pコレクタ層3からのホールの供給をあまり多くすることは問題があるため、できるだけトレンチチャネル側からの電子の供給を多くするような設計をする必要がある。

【0023】ここで、トレンチチャネル側からの電子の供給を多くするには、pウェル4に流れ込むホールの量を減らす必要がある。その解決策として、従来は、

(i) ゲートトレンチのピッチを狭める構造(文献2参照)

(ii) ゲートトレンチを深く形成する構造(文献2参照)

(iii) 図49に示すIGBTの構造において、pウェル4の下に、不純物濃度の高いn型層を設ける構造

(iv) pウェル4のエミッタコンタクトやnエミッタ領域5のないゲートトレンチ70の部分を通常のトレンチIGBT部分の間に挿入した構造(図52参照)(文献2, 3参照)

などの構造が提案されている。

(文献2:M Kitagawa, A Nakagawa, K Matsushita, S Hasegawa, T Inoue, A Yahata and H Takenaka "4500V IEGTs having Switching Characteristics Superior to GTO" Proc. ISPSD' 95 pp 486-491)

(文献3:特開平7-50405号公報)

しかしながら、これらの方針でIGBTの設計を進めていくと、(i)、(ii)、(iv)の構造では、ゲート容量が増加し、(ii)、(iii)の構造では、降伏電圧が低下するという問題が生じてしまう。ここで、前者の問題については、幾何学的に、ゲート絶縁膜の面積比率が高くなることから自明である。後者の問題の例としては、たとえば(iii)の構造の可能性を調べるため、pウェル4の下に、不純物濃度の高いn型層の不純物濃度とその深さ位置とを各種変えて、4500ボルト級のIGBTとして降伏電圧と飽和電圧とを評価した結果を、図53に示す。なお、このときの基準IGBTの構造パラメータは、 n^- シリコン基板1の不純物濃度が、 $1.3 \times 10^{13}/\text{cm}^3$ 、厚さ $625\mu\text{m}$ とし、ゲートトレンチ70のピッチが $5\mu\text{m}$ 、深さを $5\mu\text{m}$ とした。

【0024】図53に示すように、基準のIGBT(表中基準TIGBTと示す)に比べ、飽和電圧は確かに減

少するが、その飽和電圧の減少が大きいほど、降伏電圧の減少も大きくなってしまい、実用的なn型層の不純物濃度とその位置との条件を見出すことができない。

【0025】次に、図50を再び参照して、ターンオフ動作における問題点について以下説明する。コレクタ電圧(V_{CE})が一旦1200V程度まで速やかに上昇した後3000V程度まで緩やかな上昇に変化する領域がある(図中Zで示す領域)。破線で示したスイッチング損失(E_{OFF})の積算波形を参照すると、ターンオン損失の大部分が、このZに示す領域で消費されていることがわかる。

【0026】なお、図50に示すIGBTの特性として、飽和電圧が約3Vになるようにpコレクタ層3からのホールの注入を制御した素子の波形を示している。IGBTの構造パラメータは、シリコン基板の不純物濃度が $1.0 \times 10^{13}/\text{cm}^3$ 、厚さ $425\mu\text{m}$ 、ゲートトレンチピッチ $5.3\mu\text{m}$ 、深さ $5\mu\text{m}$ 、幅 $1\mu\text{m}$ である。

【0027】この現象は、デバイスシミュレーションを用いたIGBTの内部状態の解析によって、IGBT内部に蓄積されたキャリアが掃き出されてコレクタ電圧が上昇するときに、 n^- シリコン基板1のコレクタ電極側の中性領域に多量にキャリアが蓄積されていると、エミッタ電極側からの空乏層の延びが遅れて、コレクタ電圧の上昇が緩やかになるものと説明している。

【0028】また、このとき空乏層内の電界が電流を構成するホールと電子との電荷密度の差で変調を受けて強化され、インパクト発生したキャリアが過渡的に電子電流を供給してターンオフを遅らせる現象も起こっている。

【0029】この現象を抑制して、ターンオフ損失を低減するためには、オン状態における n^- シリコン基板1のコレクタ電極側の中性領域への過剰なキャリア蓄積を避けるための設計をする必要がある。しかし、単に、pコレクタ層3からのホールの注入を抑制するだけでは、飽和電圧が上昇してしまい、オン状態損失が増加するという問題がある。

【0030】この発明の1つの目的は、ゲートトレンチ型高耐圧IGBTのオフ状態時に、ゲート容量を増加せずに高耐圧を得ることのできる高耐圧半導体装置およびその製造方法を提供することにある。

【0031】この発明の他の目的は、ゲートトレンチ型高耐圧IGBTのオン状態において、降伏電圧を減少させずに飽和電圧を減少させることのできる高耐圧半導体装置およびその製造方法を提供することにある。

【0032】この発明のさらに他の目的は、ゲートトレンチ型高耐圧IGBTのターンオフ動作において、ターンオフ損失を低減させることのできる高耐圧半導体装置およびその製造方法を提供することにある。

【0033】

【課題を解決するための手段】この発明に基づいた高耐

圧半導体装置の 1 つの局面においては、第 1 の主面と第 2 の主面とを有する第 1 導電型の半導体基板と、第 1 の主面に形成された第 2 導電型の第 1 不純物層と、この第 1 不純物層から半導体基板にかけて形成された溝部、この溝部の内表面を覆うように形成されたゲート絶縁膜およびこの溝部を充填するように導電体によって形成されたゲート電極を有するゲートトレンチと、第 1 不純物層の表面近傍において、ゲートトレンチを挟むように形成された 1 対の第 1 導電型の不純物領域と、第 1 の主面を覆うように形成され、ゲートトレンチに対して絶縁膜を介在して、不純物領域と第 1 不純物層とに電気的に接続された第 1 主電極層と、第 2 の主面に形成された第 2 導電型の第 2 不純物層と、第 2 不純物層の表面に形成された第 2 主電極層と、を備えている。さらに、ゲートトレンチは、所定のピッチで複数設けられ、半導体基板のゲートトレンチによって挟まれた位置には、絶縁層が設けられている。

【0034】次に、この発明に基づいた高耐圧半導体装置の製造方法の 1 つの局面においては、主表面に絶縁層が形成された第 1 導電型の第 1 半導体基板が準備される。その後、絶縁層の上に第 1 導電型の第 2 半導体基板が貼り合されて、絶縁層が内部に挟み込まれた第 1 の主面と第 2 の主面とを有する半導体基板が形成される。

【0035】次に、この半導体基板の第 1 の主面に第 2 導電型の第 1 不純物層が形成される。その後、この第 1 不純物層の表面の所定の領域に第 1 導電型の不純物領域が形成される。

【0036】次に、第 2 の主面に第 2 導電型の第 2 不純物層が形成される。その後、不純物領域において、絶縁層に通ずる溝部が形成される。

【0037】次に、溝部に露出した絶縁層が除去される。その後、溝部の内部表面にエピタキシャル成長法により半導体基板と同じ不純物濃度を有するエピタキシャル成長層が形成される。

【0038】次に、溝部の内部のエピタキシャル成長層の表面にゲート絶縁膜が形成される。その後、溝部内部に導電体を充填し、ゲート電極が形成される。

【0039】次に、ゲート電極の前記第 1 の主面に露出した部分が絶縁膜で覆われる。その後、第 1 不純物層と前記不純物領域とに電気的に接続するように、第 1 の主面を覆うように第 1 主電極層が形成される。さらに、その後、第 2 の主面に第 2 主電極層が形成される。

【0040】次に、この発明に基づいた高耐圧半導体装置の製造方法の他の局面においては、主表面の上に所定のピッチで絶縁層が形成された第 1 導電型の第 1 半導体基板が形成される。その後、主表面に絶縁層が設けられたピッチで、かつ、絶縁層と同じ幅と厚さの凹部が形成された第 1 導電型の第 2 半導体基板が形成される。

【0041】次に、第 1 半導体基板の主表面と第 2 半導体基板の主表面とを貼り合せて、絶縁層が所定のピッチ

で挟み込まれた、第 1 の主面と第 2 の主面とを有する半導体基板が形成される。その後、半導体基板の第 1 の主面に第 2 導電型の第 1 不純物層が形成される。

【0042】次に、第 1 不純物層の表面の所定の領域に第 1 導電型の不純物領域が形成される。その後、第 2 の主面に第 2 導電型の第 2 不純物層が形成される。

【0043】次に、不純物領域において、絶縁層の間の領域を通過するように半導体基板に通ずる溝部が形成される。その後、溝部の内部表面に高抵抗の導電帯膜が形成され、加熱処理を行なうことにより高抵抗導電帯膜が形成される。

【0044】次に、溝部内部に導電体を充填し、ゲート電極が形成される。その後、ゲート電極の第 1 の主面に露出した部分が絶縁膜で覆われる。

【0045】次に、第 1 不純物層と不純物領域とに電気的に接続するように、第 1 の主面を覆うように第 1 主電極層が形成される。その後、第 2 の主面に第 2 主電極層が形成される。

【0046】上述した高耐圧半導体装置およびその製造方法によれば、半導体基板のゲートトレンチの間の位置に、絶縁層が設けられることになる。

【0047】これにより、高耐圧半導体装置のオフ状態においては、この絶縁層が一種のキャパシタとして動作する。絶縁層の上側の表面には、電子が吸い寄せられて、強い負の空間電荷を形成する。半導体基板の下方からドナーイオンによって次第に強くなって本来第 1 不純物層に押し寄せる電界がこの強い負の空間電荷によって遮断され、絶縁層と第 1 不純物層との間の電界がほとんどない状態になる。これによって、絶縁層の上側の面の電位は、第 1 不純物層に接続された第 1 主電極とほぼ同電位まで低下する。

【0048】一方、ゲートトレンチの中は、第 1 主電極電位以下の低い電位になっており、ゲートトレンチ底のコーナー部で電界が強まっているものの、絶縁層の端が、ゲートトレンチ底のコーナー部に近いと、絶縁層下の電位が低下していることから、これらの間の電位差が減少して電界が緩和される結果、降伏電圧を改善させることが可能となる。

【0049】次に、高耐圧半導体装置のオン状態においては、絶縁層はホールが第 1 不純物層に吸い込まれるのを防ぐ働きをする。ゲートトレンチは強く正バイアスされているので、電子がゲートトレンチの壁に吸いつけられるとともに、ホールは跳ね返されるためゲートトレンチの壁面と絶縁層との間の隙間を通ることが難しく、第 1 不純物層に到達しにくい状況になる。このため、ホール電流が減少して、トレンチチャネルからの電子の注入効率が高くなり、半導体基板に多量の電子とホールとが供給されて伝導度が向上し、飽和電圧を減少させることが可能となる。

【0050】また、たとえばこの高耐圧半導体装置を I

GBTとして用いた場合、オン状態における第1導電型の半導体基板内のキャリア密度が増加すると、この半導体基板の導電率が增大して飽和電圧が低下するが、このとき第2導電型不純物層からのホール供給を減らして飽和電圧を元に戻すと、第2主電極側よりも第1主電極側の方がキャリア密度が高いような分布を示すようになる。

【0051】次に、高耐圧半導体装置のターンオフ時には、ゲート電圧が低下して、チャネルが十分な電子を供給できなくなり、第2主電極層の電圧が上昇し始めたとき、半導体基板に蓄えられていた過剰なホールは、低電圧なゲートトレンチに向かって吸い寄せられ、ゲートトレンチの壁に沿って第1不純物層に到達し、第1主電極層に流出する。

【0052】したがって、もともとターンオフ時には、第1不純物層の下にゲートトレンチに囲まれた部分には大きな電流は流れないので、絶縁層がその箇所にあっても特に障害とはならない。次に、オン状態のときに、たとえばキャリア分布を持った素子をターンオフした場合、第1主電極層側に多く存在したホールは、第1主電極側から掃き出されるので、ターンオフ初期にはホールが掃き出された後にできる空乏層は緩やかにしか延びず、第2主電極電圧はやや緩やかに上昇を始める。

【0053】しかし、ある程度第2主電極電圧が上昇して空乏層が延びると、初期に蓄積されたキャリアの少ない領域に空乏層先端が進み、ホールの掃き出しによる空乏層の延びが速やかになる。これにより、ターンオフの最後まで速やかにコレクタ電圧が上昇するようになる。その結果、ターンオフ損失が減少するとともに、これに伴う高耐圧半導体装置の内部の温度上昇も低く抑えることが可能となる。

【0054】次に、この発明に基づいた高耐圧半導体装置の他の局面においては、第1の主面と第2の主面とを有する第1導電型の半導体基板と、第1の主面の所定の領域において、第1の主面から半導体基板の深さ方向にかけて形成された第1溝部、第1溝部の内表面を覆うように形成されたゲート絶縁膜および溝部を充填するように導電体によって形成された電極を有するゲートトレンチと、第1の主面の近傍において、ゲートトレンチに近接するように形成された第1導電型の不純物領域と、第1の主面を覆うように形成され、ゲートトレンチに対して絶縁膜を介在して、不純物領域と半導体基板とに電気的に接続された第1主電極層と、第2の主面に形成された第2導電型の第2不純物層と、第2不純物層の表面に形成された第2主電極層とを備えている。

【0055】さらに、ゲートトレンチは所定のピッチで複数配置され、ゲートトレンチによって挟まれた位置には、第1の主面から半導体基板の深さ方向にかけて形成された第2溝部と、第2溝部の内表面を覆うように形成された絶縁膜と、第2溝部を充填し、第1主電極層と電

氣的に接続された第2電極とを有するエミッタトレンチを所定のピッチで複数含んでいる。

【0056】次に、この発明に基づいた高耐圧半導体装置の製造方法のさらに他の局面においては、第1の主面と第2の主面とを有する第1導電型の半導体基板が準備される。その後、半導体基板の第1の主面に第2導電型の第1不純物層が形成される。

【0057】次に、第1不純物層の表面の所定の領域に第1導電型の不純物領域が複数形成される。その後、第2の主面に第2導電型の第2不純物層が形成される。

【0058】次に、不純物領域において、半導体基板に通ずる第1溝部が形成される。その後、第2不純物層に挟まれた第1不純物層において半導体基板に通ずる第2溝部が形成される。

【0059】次に、第1溝部と第2溝部の内部表面に第1絶縁膜が形成される。その後、第1溝部および第2溝部内部に導電体が充填され、埋込ゲート電極および埋込エミッタ電極が形成される。

【0060】次に、埋込ゲート電極および埋込エミッタ電極の第1の主面に露出した部分が第2絶縁膜で覆われる。その後、埋込エミッタ電極の上に形成された第2絶縁膜に埋込エミッタ電極に通ずるコンタクトホールが開孔される。

【0061】次に、第1不純物層と不純物領域と埋込エミッタ電極とに電気的に接続するように、第1の主面を覆うように第1主電極層が形成される。その後、第2の主面に第2主電極層が形成される。

【0062】上述した高耐圧半導体装置およびその製造方法においては、ゲートトレンチの間に、第1主電極の電位と同電位に設定されるエミッタトレンチが設けられている。

【0063】この構造を用いることによって、さらに飽和電圧を減少させて、半導体基板へのキャリア注入を増加させることが可能となり、また降伏電圧においても、若干降伏電圧を増加させて、高耐圧半導体装置の性能を向上させることが可能となる。

【0064】また、本構造においては、エミッタトレンチが第1主電極の電位と同電位に設定されているため、ゲートトレンチの単位面積が減少するため、ゲート容量を大幅に減らせることが可能となる。特に、ゲートトレンチと第2主電極層間の容量(帰還容量)が小さくなることで、スイッチングが高速にできるようになり、スイッチング損失を減少させる効果を得ることが可能になる。このことは、大電力を扱うことが目的の高耐圧半導体装置においては、回路の動作および応答時間の向上の簡素化のために強く求められており、この点は極めて重要となる。

【0065】次に、この発明に基づいた高耐圧半導体装置のさらに他の局面においては、第1の主面と第2の主面とを有する第1導電型の半導体基板と、第1の主面の

所定の領域に形成された第2導電型の第1不純物層と、第1不純物層が形成された領域において、第1不純物層から半導体基板にかけて形成された第1溝部と、第1溝部の内表面を覆うように形成されたゲート絶縁膜と、第1溝部を充填するように導電体によって形成された電極とを有するゲートトレンチと、第1不純物層の表面近傍において、ゲートトレンチを挟むように形成された1対の第1導電型の不純物領域と、ゲートトレンチに対して絶縁膜を介在して、不純物領域と第1不純物層とに電氣的に接続された第1の主面を覆うように形成された第1主電極層と、第2の主面に形成された第2導電型の第2不純物層と、第2不純物層の表面に形成された第2主電極層とを備えている。さらに、ゲートトレンチは所定のピッチで複数配置され、ゲートトレンチによって挟まれた位置には、第1不純物層から半導体基板にかけて形成された第2溝部と、第2溝部の内表面を覆うように形成された絶縁膜と、第2溝部を充填し第1主電極層と電氣的に接続された第2電極とを有するエミッタトレンチが所定のピッチで複数設けられている。

【0066】次に、この発明に基づいた高耐圧半導体装置の製造方法のさらに他の局面においては、まず第1の主面と第2の主面とを有する第1導電型の半導体基板が準備される。

【0067】次に、第1の主面の所定の領域に第1導電型の不純物領域が形成される。その後、第2の主面に第2導電型の第2不純物層が形成される。次に、不純物領域の所定位置に、半導体基板に通ずる第1溝部が形成される。その後、第1不純物層に挟まれた半導体基板に、第2溝部が複数形成される。

【0068】次に、第1溝部と第2溝部との内部表面に第1絶縁膜を形成される。その後、第1溝部および第2溝部の内部に導電体が充填され、埋込ゲート電極および埋込エミッタ電極が形成される。

【0069】次に、埋込ゲート電極および埋込エミッタ電極の第1の主面に露出した部分が第2絶縁膜で覆われる。その後、埋込エミッタ電極の上に形成された第2絶縁膜に、埋込エミッタ電極に通ずるコンタクトホールが開口される。

【0070】次に、半導体基板と不純物領域と埋込エミッタ電極とに電氣的に接続するように、第1の主面を覆うように第1主電極層が形成される。その後、第2の主面に第2主電極層が形成される。

【0071】上述した高耐圧半導体装置およびその製造方法によれば、ゲートトレンチの間に、第1主電極層と同電位に設定されたエミッタトレンチが複数配置されている。この構造を用いることによって、たとえばゲートトレンチとエミッタトレンチの形状が同じであっても、ゲートトレンチとエミッタトレンチとの間隔をゲートトレンチのピッチに対する比率を必要な値まで減少させることができるため、容易に製造することが可能となる。

【0072】

【発明の実施の形態】

(実施の形態1) 以下、この発明に基づいた実施の形態1における高耐圧半導体装置およびその製造方法について説明する。

【0073】まず、図1を参照して、本実施の形態1における高耐圧半導体装置としてのゲートトレンチ型高耐圧IGBTの断面構造について説明する。このゲートトレンチ型高耐圧IGBT(以下単にIGBTと称す。)は、低不純物濃度の n^- シリコン基板1と、その第1の主面(図1では上側の面)に、p型の不純物拡散領域からなるpウェル4が形成されている。

【0074】また、 n^- シリコン基板1には、pウェル4を若干超える深さで、かつ、またその深さと同程度のピッチで第1の主面側から設けられたゲートトレンチ溝7aと、そのゲートトレンチ溝7aの内部表面に設けられた酸化膜などからなるゲート絶縁膜7と、さらにそのゲート絶縁膜7の内側に設けられたゲート電極8とからなるゲートトレンチ70が所定のピッチで設けられている。

【0075】また、ゲートトレンチ70の第1の主面に接するpウェル4の表面には、高不純物濃度のn型の不純物拡散領域からなる n^+ エミッタ領域5が形成されている。ゲート電極8と絶縁膜7との第1の主面に露出した部分を覆うように酸化膜などからなる層間絶縁膜19が設けられている。さらに、エミッタ領域5とpウェル4とに電氣的に接続され、第1の主面を覆うように金属膜などからなるエミッタ電極10が設けられている。

【0076】一方、シリコン基板1の第2の主面(図では下側の面)に設けられたn型の不純物拡散領域からなるnバッファ層2と、このnバッファ層2の表面に設けられたp型の不純物拡散領域からなるpコレクタ層3が形成されている。さらに、pコレクタ層3の表面には、金属膜などからなるコレクタ電極11が形成されている。なお、nバッファ層2は、いわゆるバンチスルータイプの設計として性能を高めるために導入されるものであって、必ずしも設けなければならないものではない。

【0077】さらに、本実施の形態1におけるIGBTの構造の特徴として、ゲートトレンチ70によって挟まれる n^- シリコン基板1の領域には、シリコン酸化膜などからなる絶縁層15が設けられている。

【0078】なお、図1に示すIGBTの構造パラメータは、 n^- シリコン基板1の不純物濃度は $1.0 \times 10^{13} / \text{cm}^3$ 、 n^- シリコン基板の厚さ(D)は $425 \mu\text{m}$ であり、ゲートトレンチ70のピッチは $5.3 \mu\text{m}$ 、深さ(d)は $5 \mu\text{m}$ 、幅(W)は $1 \mu\text{m}$ である。

【0079】ここで、絶縁層15の厚さ(Y')や位置(dx)はIGBTの特性を決定付ける重要な要素となる。

【0080】まず、絶縁層15の縦方向の位置(Y)を

変化させて、降伏電圧と飽和電圧とがどのように変化するかを評価した結果を、図2に示す。なお、図2において、基準TIGBTと示しているものは、図47で示した絶縁層15が設けられていないIGBTの場合を示している。

【0081】図2に示されるように、絶縁層15を設けることにより、飽和電圧は減少するが、この飽和電圧の点からは、絶縁層15の縦方向の配置位置(Y)は、ゲートトレンチ70の底よりも浅くする方がよいことがわかる。

【0082】一方、降伏電圧の点では、絶縁層15の厚さ(Y')を0.3 μ m以下程度に薄くすると、従来のIGBTの構造のものよりも改善されることがわかる。

【0083】絶縁層15の厚さ(Y')に関しては、降伏電圧と飽和電圧との間に多少トレードオフの関係が見られるが、IGBTにおいては、降伏電圧を優先させるため、絶縁層15の厚さは薄い方がよいといえる。

【0084】なお、図2に示すデータにおいては、ゲートトレンチ70のゲート絶縁膜7の厚さを0.075 μ mとしたので、ゲート絶縁膜7と絶縁層15との膜厚との関係は、ゲート絶縁膜7の厚さの4倍以下程度が適当であるといえる。なお、この例においては、ゲートトレンチ70の壁面から絶縁層15までの距離(dx)を0.2 μ mとした。

【0085】次に、絶縁層15の横方向の配置位置(X)を変えて、降伏電圧と飽和電圧とがどのように変化するかを評価した結果を図3に示す。図3に示すデータより、ゲートトレンチ70の壁面から絶縁層15までの距離(dx)は短い方が飽和電圧の減少効果が大きくなり、降伏電圧は、わずかな変化ではあるが、dxが0.2 μ m程度で極大値を示していることがわかる。

【0086】次に、図47に示す従来のIGBTの構造と、図1に示す本実施の形態1におけるIGBTの構造とにおいて、ゲートトレンチ70のピッチを変えた場合に、降伏電圧と飽和電圧とがどのように変化するかを評価した結果について、図4に示す。図4において、2 \times TIGBTは、図47に示す従来の構造のIGBTのトレンチゲート70のピッチを2倍にした場合を示し、2 \times B.O.TIGBTは、図1に示すIGBTのピッチを2倍にした場合を示している。

【0087】図4から、従来の構造のIGBTにおいては、ゲートトレンチ70のピッチを広げると飽和電圧が増加し、降伏電圧が低下して、IGBTの性能が悪化することがわかる。一方、本実施の形態におけるIGBTの構造では、降伏電圧はピッチを広げた方が若干であるが改善し、飽和電圧は10倍(本実施の形態においては53 μ m)程度までは減少し、20倍にすると増加に転ずることがわかる。

【0088】なお、絶縁層15とn⁻シリコン基板1との界面再結合速度が大きいと、飽和電圧が極小になるピ

ッチは狭くなるとともに、飽和電圧の低減効果も少ないことがわかっていてる。

【0089】次に、ゲートトレンチ70のピッチと、ゲートトレンチ70の側壁から絶縁層15までの距離(dx)を組合せて変化させた場合の降伏電圧と飽和電圧との変化についての評価を図5に示す。

【0090】図5より、ゲートトレンチ70のピッチが5.3 μ mの場合、dxを1 μ mまで大きくすると、飽和電圧が増加するが、ゲートトレンチ70のピッチを4倍に広げることで、飽和電圧をピッチが5.3 μ m、dx=0.2 μ mの場合と同程度まで改善させることが可能であることがわかる。

【0091】したがって、IGBTの製法において、ゲートトレンチ70と絶縁層15とを非自己整合的に作る場合、dxを大きくする必要が出てくる場合があるが、このような場合でも、dx=1 μ m程度までならば、IGBTの性能を保証することができる。

【0092】以上のように、ゲートトレンチ70の壁面と絶縁層15との間隔dxは、キャリア密度向上のためには、ゲートトレンチ70のピッチに対して十分短いことが必要で、20分の1程度にすると大きな効果が得られるが、加工精度の観点から、dxを小さくできない場合では、10分の1程度以下でも十分な効果が得られることがわかる。

【0093】次に、上記本実施の形態におけるIGBTの特性を踏まえて、降伏電圧と飽和電圧とを最適化したパラメータの組合せの1つを用いて構成したゲートトレンチ型高耐圧IGBTの飽和電圧特性を、従来構造のIGBTと比較した場合について図6中に○印付き波形に示す。本実施の形態におけるIGBTにおいては、トレンチゲート70のピッチが5.3 μ m、深さが5 μ m、幅が1 μ mであり、またX=0.7 μ m、dx=0.2 μ mまた絶縁層の厚さ(Y')は0.2 μ mであり、その深さ(Y)は、3.5 μ mの場合を示している。また、コレクタ電流密度100A/cm²における飽和電圧が約3Vになるように、pコレクタ層3からのホール注入を制御している。

【0094】図6からわかるように、本実施の形態におけるIGBTによれば、低い電流密度で低飽和電圧になり、実際の回路への応用で問題になる実用電流密度(定格より低い)でのオン状態損失が低くなる利点がある。

【0095】また、上述したIGBTを用いて、誘導負荷のターンオフ動作を評価した結果について図7に示す。従来構造における図48に示した評価と比較して、飽和電圧がほぼ同じであるにもかかわらず、ターンオフ損失が約40%まで減少していることがわかる。

【0096】特に、従来構造において問題であったコレクタ電圧(Vce)が1200Vを超えたあたりからの電圧上昇の遅延がほぼ解消している。なお、オン状態がターンオフ完了までの内部温度上昇を計算した結果によ

れば、本実施の形態におけるIGBTの方が、40%ほど温度上昇が少ないことも明らかになった。

【0097】次に、上述した実施の形態1におけるIGBTの製造方法の第1の具体例について図9～図20を参照して説明する。なお図9～図20は、図1に示すIGBTの断面構造に従った工程図である。

【0098】まず図9を参照して、不純物濃度が200～1000Ω・cmのn⁻シリコン基板（厚さ400～630μm）1Aの上に、厚さt_{ox}の酸化膜からなる絶縁層15を形成する。なおこの絶縁層15は、820～1215℃の条件で、ウェットまたはドライ酸化によって形成される。また、絶縁層15の膜厚t_{ox}は、ゲートトレンチ70内部に形成されるゲート絶縁膜7の膜厚の4倍以下であることが好ましい。

【0099】一方、n⁻シリコン基板1Aと同じ不純物濃度を有するn⁻型のシリコン基板（厚さ3～50μm）1Bを準備する。

【0100】次に、図10を参照して、n⁻シリコン基板1Aの上の絶縁層15の上にシリコン基板1Bを貼り合せて、n⁻シリコン基板1を完成させる。

【0101】なお、以下n⁻シリコン基板1の上側の面を第1の主面、下側の面を第2の主面と称する。

【0102】次に、図11を参照して、シリコン基板1の第1の主面に、深さ1.5～4.0μm、p型の不純物のピーク濃度が1×10¹⁵～5×10¹⁸cm⁻³のpウェル4を形成する。さらに、pウェル4の表面の所定の領域に、深さ0.8～2.0μm、表面不純物濃度1×10¹⁹～1×10²⁰cm⁻³のn⁺エミッタ領域5を形成する。

【0103】一方、n⁻シリコン基板1の第2の主面側には、深さ10～30μm、不純物のピーク濃度が1×10¹⁴～1×10¹⁸cm⁻³のn⁺バッファ層2と、深さ3～10μm、不純物のピーク濃度がn⁺バッファ層2よりも高いp⁺コレクタ層3を形成する。

【0104】次に、図12を参照して、pウェル4の上に所定のパターンを有する酸化膜26を形成し、この酸化膜26をマスクにして、異方性ドライエッチングにより、絶縁層15に通ずるゲートトレンチ溝7aを開孔する。このとき、ゲートトレンチ溝7aの幅（t_w）は、0.8～3.0μm程度とし、ゲートトレンチ溝7aの深さは、3.0～15.0μm程度に形成する。なお、ゲートトレンチ溝7aの深さは絶縁層15の厚さ（t_{ox}）により決定されるパラメータである。

【0105】次に、図13を参照して、図12に示すゲートトレンチ溝7aを形成した後、ゲートトレンチ溝7aに生成されるデポジション膜（図示せず）を除去する。このとき、同時に、絶縁層15が、横方向に距離d_xだけ酸化膜が除去される。

【0106】次に、図14を参照して、ゲートトレンチ溝7aの内部に、エピタキシャル成長法により、厚さd

x、n⁻シリコン基板1と同じ不純物濃度を有するシリコン膜16を形成する。このとき、図15に示すように、エピタキシャル成長時における熱処理により、n⁺エミッタ領域5およびpウェル4の不純物が、シリコン層16に拡散される。

【0107】なお、上述したエピタキシャル成長により形成したシリコン膜16に代わって、n⁻シリコン基板1と同じ高抵抗のポリシリコンを用いても構わない。

【0108】次に、図16を参照して、ゲートトレンチ溝7aの内部に、熱酸化法などを用いて、ゲート絶縁膜7を形成する。このゲート絶縁膜7の膜厚と、絶縁層15との膜厚の関係については、上述したように、絶縁層15の膜厚が、ゲート絶縁膜7の膜厚の4倍以下程度になることが好ましい。

【0109】なお、ゲート絶縁膜7を形成する前に、ゲートトレンチ溝7aを形成した後、等方性プラズマエッチングおよび犠牲酸化膜などの処理を行なうことで、トレンチMOSの特性およびゲート絶縁膜7の特性を向上させることができる。これは、ゲートトレンチ溝7aの開口部や、底部が角張っていると、ゲート酸化膜7の局所的な薄膜化や、電界集中が発生するため、ゲートトレンチ溝7aの開口部および底部を図16に示すように丸めることで、電界集中の緩和を図ることが可能となる。

【0110】次に、図17を参照して、ゲートトレンチ溝7aの内部に、たとえばn型にドーピングしたポリシリコンなどの導電性材料8aをCVD法等を用いて充填する。その後、図18に示すように、n⁺エミッタ領域5およびpウェル4が露出するように、導電性材料8aおよびゲート絶縁膜7をパターニングする。これにより、ゲートトレンチ溝7a、ゲート絶縁膜7およびゲート電極8からなるトレンチゲート70が完成する。

【0111】その後、図19を参照して、被覆性の良好なボロンおよびリンを含むシリケートガラス（BPSG）膜19およびCVD酸化膜20を形成する。その後、n⁺エミッタ領域5およびpウェル4が露出するように、シリケートガラス膜19およびCVD酸化膜20のエッチングを行ない、コンタクトホール20Aを形成する。

【0112】次に、図20を参照して、コンタクトホール20Aを形成した後、n⁻シリコン基板1の第1の主面側全面に、n⁺エミッタ領域5およびpウェル4に電氣的に接続するエミッタ電極10を成膜する。

【0113】一方、シリコン基板1の第2の主面側においても、pコレクタ層3の上に、コレクタ電極11を形成する。以上により、図1に示す本実施の形態1におけるIGBTが完成する。

【0114】次に、本実施の形態1におけるIGBTの製造方法の第2具体例について、図21～図29を参照して説明する。

【0115】まず図21(a)を参照して、不純物濃度が $200 \sim 1000 \Omega \cdot \text{cm}$ 程度の n^- シリコン基板1Aの上に、幅が $t_w + 2dx$ の絶縁層15からなるパターンを形成し、この絶縁層15を用いて図22(a)に示すように n^- シリコン基板1Aのパターニングを行ない、深さ t_{ox} の凹部1Cを形成する。

【0116】一方、図21(b)を参照して、シリコン基板1Aと同じ不純物濃度の n^- シリコン基板1Bの上に酸化膜などからなる絶縁層15を膜厚 t_{ox} 堆積し、絶縁層15の上に開孔幅 $t_w + 2dx$ のパターンを有するレジスト膜22を形成して、この絶縁層15のパターニングを行ない、その後、図22(b)に示すようにレジスト膜22の除去を行なう。

【0117】次に、図23を参照して、 n^- シリコン基板1Aの絶縁層15を除去した後、 n^- シリコン基板1Aおよび1Bを洗浄し、図23に示すように貼り合せた後、 O_2 雰囲気中において、 $850 \sim 1100^\circ\text{C}$ の加熱処理を行なう。

【0118】次に、図24を参照して、上述した具体例1の図11に示す工程と同一の工程を用いることによって、pウェル4、 n^+ エミッタ領域5、 n バッファ層2およびpコレクタ層3を形成する。なお、 n バッファ層2およびpコレクタ層3は、予め n^- シリコン基板1Bに形成しておいても構わない。

【0119】さらに、pコレクタ層3を n^- シリコン基板1の第2の主面全面に形成しているが、一部分に n 型もしくは低不純物濃度のp $^-$ 拡散層を設けることで、IGBTの特性を向上させることができる。

【0120】次に、図25を参照して、pウェル4上に、所定の開口パターンを有するCVD酸化膜26を形成し、この酸化膜26をマスクにして、絶縁層15の間を通過するように、ゲートトレンチ溝7aを開口する。本実施の形態においては、ゲートトレンチ溝7aの幅(t_w)は $0.8 \sim 3.0 \mu\text{m}$ 程度に形成し、ゲートトレンチ溝7aの深さは $3.0 \sim 15.0 \mu\text{m}$ 程度に形成している。ここで、ゲートトレンチ溝7aの深さは、絶縁層15の厚みにより決定されるパラメータである。また、ゲートトレンチ溝7aと絶縁層15との間隔は dx である。

【0121】次に、図26を参照して、ゲートトレンチ溝7aの内部に、ゲート絶縁膜7を形成する。ここで、上述した具体例1と同様に、ゲート絶縁膜7を形成する前に、ゲートトレンチ溝7aを形成した後、等方性プラズマエッチング、犠牲的酸化等の処理を行なうことで、ゲートトレンチ溝7aの開口部と底部は丸くなり、かつゲートトレンチ溝7aの側壁の凹凸が平坦化されるため、トレンチMOSの特性およびゲート絶縁膜7の特性を向上させることが可能となる。

【0122】次に、図27を参照して、ゲートトレンチ溝7aの内部に、たとえば n 型にドーブしたポリシリコ

ンなどからなる導電性材料8aを堆積する。その後、図28を参照して、導電性材料8aおよびゲート絶縁膜7を所定の形状にパターニングし、ゲート電極8を完成させることによって、ゲートトレンチ溝7a、ゲート絶縁膜7およびゲート電極8からなるトレンチゲート70を完成させる。その後、トレンチゲート70のみを覆うようにシリケートガラス膜19およびCVD酸化膜20を形成するとともに、コンタクトホール20Aを形成する。

【0123】次に、図29を参照して、 n^- シリコン基板1の第1の主面側に、 n^+ エミッタ領域5およびpウェル4に電気的に接続されるエミッタ電極10を形成するとともに、 n^- シリコン基板1の第2の主面側のpコレクタ層3の表面側に、コレクタ電極11を形成する。以上により、この第2実施例においても、図1に示すIGBTを形成することが可能となる。

【0124】以上、本実施の形態1におけるIGBTにおいては、まずオフ状態にあっては、絶縁層15は一種のキャパシタとして動作する。絶縁層15の上側の表面に電子が吸い寄せられて強い負の空間電荷を形成する。 n^- シリコン基板1の下方からドナーイオンによって次第に強くなって本来pウェル4に押し寄せる電界が、この強い負の空間電荷によって遮断され、絶縁層15とpウェル4との間の電界がほとんどない状態になる。これによって、絶縁層15の上側の面の電位は、pウェル4に接続されたエミッタ領域5以下とほぼ同電位まで低下する。

【0125】絶縁層15の下側の面の電位は、絶縁層15の中での電圧降下の分だけ上昇するが、この電位上昇はほぼ絶縁層15の厚さに比例するので、絶縁層15を十分薄くすればわずかのものになる。一方、ゲートトレンチ70の中は、エミッタ電位以下の低い電位になっており、ゲートトレンチ70底のコーナー部で電界が強まっているが、絶縁層15の端がトレンチ底コーナー部に近いと絶縁層15下の電位が低下していることから、これらの間の電位差が減少して、電界が緩和される結果、降伏電圧を改善することができる。

【0126】このように、絶縁層15下の電位がトレンチゲート70の電位に近づくように、絶縁層15の厚さは薄い方が降伏電圧の点では有利になるが、評価結果では、ゲートトレンチ70のゲート絶縁膜7の厚さの4倍程度以下が最適であると考えられる。

【0127】また、ゲートトレンチ70の壁面と絶縁層15との距離 dx については、絶縁層15の厚さ程度が最適であり、あまり近づけてもかえって降伏電圧は低下する。また、絶縁層15の深さ位置については、ゲートトレンチ70の深さと同程度にあるのが降伏電圧の点で望ましい。

【0128】次に、IGBTのオン状態においては、絶縁層15は、ホールがpウェル4に吸い込まれるのを防

ぐ働きをする。ゲートトレンチ70は、強く正バイアスされているため、電子がゲートトレンチ70の壁に吸い付けられるとともに、ホールは跳ね返されるため、ゲートトレンチ70の壁面と絶縁層15との間の隙間(dx)を通ることが難しく、pウェル4に到達しにくい状況となる。

【0129】このため、エミッタ側のホール電流が減少して、トレンチチャネルからの電子の注入効率が高くなり、n⁻シリコン基板1に多量の電子とホールが供給されて伝導度が向上し飽和電圧が減少する。したがって、この方法で飽和電圧を低くするためには、ゲートトレンチ70の壁面と絶縁層15の間の隙間を狭くする必要があり、かつ、そのため、絶縁層15は、ゲートトレンチ70より浅めに配置する必要がある。

【0130】また、ゲートトレンチ70のピッチを広くすればピッチに対するdxの比率が低くなり、さらにホールがpウェル4に到達しにくくなるのでキャリア密度が増加する。しかし、ピッチをあまり広くすると、その間で再結合によりホールが消滅するようになってかえってキャリア密度が低下するようになる。

【0131】以上のように、IGBTのオン状態におけるエミッタ側のn⁻シリコン基板1内のキャリア密度が増加すると、n⁻シリコン基板1の導電率が増大して飽和電圧が低下するが、このときpコレクタ3からのホール供給を減らして飽和電圧を元に戻すと、図8に示すように、コレクタ電極側よりもエミッタ電極側の方がキャリア密度が高いような分布を示すようになる。

【0132】次に、IGBTのターンオフ時の動作について検討する。一般に、IGBTでは、ゲート電圧が低下してチャネルが十分な電子を供給できなくなり、コレクタ電圧が上昇し始めると、n⁻シリコン基板1に蓄えられていた過剰なホールは低電圧なゲートトレンチ70に向かって吸い寄せられていく。その結果、ホールは、ゲートトレンチ70の壁に沿ってpウェル4に到達する。

【0133】したがって、もともとターンオフ時には、pウェル4の下ゲートトレンチ70に囲まれた部分には大きな電流は流れないため、絶縁層15がその箇所にあっても特に障害とはならない。

【0134】さて、オン状態のときに、図8に示したようなキャリア分布を持ったIGBTをターンオフすると、エミッタ電極側に多く存在したホールはエミッタ電極側から掃き出されるため、ターンオフ初期にはホールが掃き出された後にできる空乏層は緩やかにしか延びず、コレクタ電圧はやや緩やかに上昇を始める。

【0135】しかし、ある程度コレクタ電圧が上昇して空乏層が延びると、初期に蓄積されたキャリアの少ない領域に空乏層先端が進むため、ホールの掃き出しによる空乏層の延びが速やかになる。

【0136】また、従来の構造のIGBTと同様に、空

乏層内の電界が電流を構成するホールと電子の電荷密度の差で変調を受けて強化され、インパクト発生したキャリアが過渡的に電子電流を供給してターンオフを遅らせる減少も起こるが、この場合、ホールと電子の密度差が若干少なくなるので、程度は弱くなっている。

【0137】その結果、ターンオフの最後まで速やかにコレクタ電圧が上昇するようになる。したがって、図7で示したように、ターンオフ損失が減少するとともに、これに伴うIGBT内部の温度上昇も低く抑えることができる。

【0138】また、図7においては、ゲートトレンチピッチを基準の4倍に広くしているので、単位面積当たりのゲートトレンチ数が低下した分、ゲート容量が4分の1に減少している。ターンオフ動作を評価するときのゲート駆動抵抗は、従来の図48に示した基準IGBTの場合の4倍に増やしているが、ターンオフは図7の本実施の形態によるものの方が若干早くっており、ゲート容量の低減効果を見ることができる。

【0139】また、本実施の形態においては、ゲートゲートトレンチ溝のピッチを広くしても性能向上させることが可能となる。

【0140】また、本実施の形態における性能改善のポイントは、薄い絶縁層をゲートトレンチの底部コーナーに近づけて配置し、絶縁層の上側電位を低く保つことであることがわかる。このような条件は平面的に埋込んだ絶縁層でなくても実現可能であり、以下に示す実施の形態2および実施の形態3に示す応用的実施が可能となる。

【0141】（実施の形態2）以下この発明に基づいた実施の形態2における高耐圧半導体装置およびその製造方法について説明する。

【0142】まず、図30を参照して、本実施の形態2における高耐圧半導体装置としてのゲートトレンチ型高耐圧IGBTの断面構造について説明する。なお、実施の形態1と同一符号は、同一の機能を有する。

【0143】実施の形態1におけるIGBTの構造と比較した場合、本実施の形態2におけるIGBTの構造によれば、ゲートトレンチ70の間に、エミッタトレンチ80が設けられている。

【0144】このエミッタトレンチ80は、ゲートトレンチ70のゲートトレンチ溝7aと同じ深さを有するエミッタトレンチ溝80aと、このエミッタトレンチ溝80aの内表面を覆うように形成されたエミッタ絶縁膜80bと、エミッタトレンチ溝80aを充填するようにドープドポリシリコンなどからなるエミッタトレンチ電極80cとを有している。また、エミッタトレンチ電極80cは、エミッタ電極10と電気的に接続されている。

【0145】上述した構造よりなるIGBTにおいて、ゲートトレンチ70とエミッタトレンチ80との間の距離dxを0.2μmとした場合に、ゲートトレンチ70

のピッチを標準の $5.3\mu\text{m}$ と、 $2.4\mu\text{m}$ とし、従来技術の構造で、降伏電圧と飽和電圧とを比較した結果について、図31に示す。(なお、図中本構造によるものは、Dummyの記号で示す。ピッチが $5.3\mu\text{m}$ の標準のTIGBTの場合は、 $d_x=4.3\mu\text{m}$ に相当する。)

標準のIGBTに比べて、 d_x を $0.2\mu\text{m}$ としたものは、いずれも飽和電圧が減少して、シリコン基板1へのキャリア注入が増加している。また、降伏電圧も、若干増加して、IGBTの性能が向上していることがわか

【0146】次に、上記構造よりなる実施の形態2におけるIGBTの製造方法について、図32～図40を参照して説明する。なお図32～図40は、図30の断面構造に従った製造工程を示す図である。

【0147】まず図32を参照して、不純物濃度が $200\sim1000\Omega\cdot\text{cm}$ の n^- シリコン基板1を準備する。

【0148】次に、図33を参照して、実施の形態1と同様の要領で、 n^- シリコン基板1の第1の主面側に、深さ $1.5\sim4.0\mu\text{m}$ 、不純物ピーク濃度 $1\times10^{15}\sim5\times10^{18}\text{cm}^{-3}$ のpウェル4と、深さ $0.8\sim2.0\mu\text{m}$ 、表面不純物濃度 $1\times10^{19}\sim1\times10^{20}\text{cm}^{-3}$ の n^+ エミッタ領域5を形成する。

【0149】また、 n^- シリコン基板1の第2の主面側に、深さ $10\sim30\mu\text{m}$ 、ピーク濃度 $1\times10^{14}\sim1\times10^{18}\text{cm}^{-3}$ の n バッファ層2と、深さ $3\sim10\mu\text{m}$ 、不純物ピーク濃度が n バッファ層2よりも高いpコレクタ層3を形成する。

【0150】次に、図34を参照して、 n^+ エミッタ領域5の位置に、ゲートトレンチ溝7aと、 n エミッタ領域5で挟まれた領域に、エミッタトレンチ溝80aを形成する。次に、図35を参照して、ゲートトレンチ溝7aおよびエミッタトレンチ溝80aを形成後、等方性ブラズマエッチングおよび犠牲酸化膜などの処理を行なうことで、ゲートトレンチ溝7aの開口部と底部およびエミッタトレンチ溝80aの開口部と底部とは丸くなり、かつゲートトレンチ溝7aと、エミッタトレンチ溝80aの側壁の凹凸が平坦化されるため、ゲートトレンチ溝7aおよびエミッタトレンチ溝80aの内表面に形成される絶縁膜の特性を向上させることが可能となる。

【0151】次に、図36を参照して、ゲートトレンチ溝7aおよびエミッタトレンチ溝80aの内部に、ゲート絶縁膜7およびエミッタ絶縁膜80bとなる SiO_2 などからなる絶縁膜7bを成膜する。

【0152】その後、図37を参照して、ゲートトレンチ溝7aおよびエミッタトレンチ溝80aの内部に、たとえば n 型にドーピングしたポリシリコンなどからなる導電性材料8bを埋込む。

【0153】次に図38を参照して、絶縁膜7bおよび

導電性材料8bを所定の形状にパターンニングし、ゲートトレンチ溝7a、ゲート絶縁膜7およびゲート電極8からなるゲートトレンチ70と、エミッタトレンチ溝80a、エミッタ絶縁膜80bおよびエミッタトレンチ電極80cからなるエミッタトレンチ80を完成させる。

【0154】次に、図39を参照して、シリケートガラスマーク19およびCVD酸化膜20を形成し、コンタクトホール20A、50を開口する。図41に、この時の上面パターン図を示す。コンタクトホール20は、 $A\sim A''''$ および $B\sim B''''$ で囲む領域内に形成される。また、 n 型ドーピングポリシリコン8bは、 $A\sim A''''$ および $B\sim B''''$ 間でエッチングされ電氣的に n 型ドーピングポリシリコン80cと8とは分離される。

【0155】その後、図40に示すように、 n^- シリコン基板1の第1の主面側に、 n^+ エミッタ領域5、pウェル4およびエミッタトレンチ電極80cに電氣的に接続されるエミッタ電極10を形成するとともに、シリコン基板1の第2の主面側のpコレクタ層3の表面にも、コレクタ電極11を形成する。これにより、本実施の形態2における図30に示すIGBTが完成する。

【0156】なお、図41の平面図に示すように、pウェル4と n^+ エミッタ領域5とを交互に配置させることによって、微細化したIGBTの構造を実現させることが可能となる。なお、図41に示す構造は、図39の上面パターン図である。

【0157】以上、本実施の形態2におけるIGBTにおいても、実施の形態1におけるIGBTと同様の作用効果を得ることができるとともに、さらにキャリア注入を高めかつ降伏電圧を確保するためには、単に d_x を短くしておきさえすればよく、すべてのゲートトレンチをゲート電位にする必要がないことがわかる。

【0158】また、従来構造においても、ピッチを詰めて、 d_x を短くすれば、本実施の形態2に示す構造と同様の効果が得られるように見られるが、本実施の形態においては、エミッタトレンチを用いることによって、単位面積当りのゲートトレンチの面積が減少するため、ゲート容量を大幅に減らせることが可能となる。特に、ゲートコレクタ間の容量(帰還容量)が小さくなることで、スイッチングの高速化が可能となり、スイッチング損失を減少させる効果が得られる。なお、この効果は、本実施の形態に限らず上述した実施の形態1、後述する実施の形態3でも得ることができる。

【0159】さらに、大電力を扱うことが狙いの高耐压半導体装置においては、ゲート容量の低減がシステムの簡素化のために強く求められており、本実施の形態における利点は実用上極めて重要となる。また、エミッタトレンチ構造は、ゲートトレンチとエミッタトレンチの区別が、トレンチ内に埋込まれた電極のとり方だけの違いで構成できるため、実施の形態1に示す構造よりも簡単

な方法で製造することが可能となる。

【0160】(実施の形態3)以下、この発明に基づいた実施の形態3における高耐圧半導体装置およびその製造方法について説明する。

【0161】まず、図42を参照して、本実施の形態3における高耐圧半導体装置としてのIGBTの断面構造について説明する。なお、図42において、実施の形態2と同一機能を有するものについては同一の符号を示している。また、図42において、エミッタトレンチ80の間にあるpウェル4は、IGBTの動作に関係しないので、必ずしも必要ではなく、 n^- シリコン基板1のま

までも構わない。

【0162】本実施の形態3におけるIGBTの構造は、上述した実施の形態2におけるIGBTと比較した場合、ゲートトレンチ70の間に1つのエミッタトレンチ80を配置するのではなく、複数のエミッタトレンチ80を連続して配置し、所定の箇所に、ゲートトレンチ70を配置するようにしたものである。

【0163】この場合、ゲートトレンチ70とエミッタトレンチ80とが同じ形状であっても、ゲートトレンチ70とエミッタトレンチの間隔dxのゲートトレンチ70のピッチに対する比率を、必要な値まで減少させることができるため、上述した実施の形態2の構造よりもさらに容易に製造することができる利点がある。

【0164】たとえば、トレンチ幅とdxとをともに1 μ mとし、dxのゲートトレンチ70のピッチに対する比率を1:20にしたい場合は、エミッタトレンチの10本おきにゲートトレンチ70を配置すればよいことになる。このような構造を用いることによって、標準のゲートトレンチ型高耐圧IGBTにくらべて、ゲート容量は約4分の1になり、また同一ピッチの従来の図52に示す構造に比べるとゲート容量を10分の1に低減することができる。

【0165】次に、上記構造よりなる実施の形態3におけるIGBTの製造方法について、図43～図46を参照して説明する。なお、図43～図46は、図42の断面構造に従った製造工程を示す図である。

【0166】まず図43を参照して、実施の形態2における図32～図38に示す工程と同様の工程を用いて、ゲートトレンチ70およびエミッタトレンチ80を形成する。その後、図44を参照して、ゲートトレンチ70のゲート電極8の表面のみを覆うように酸化膜18を形成する。

【0167】次に、図45を参照して、ゲートトレンチ70を覆うようにシリケートガラス膜19およびCVD酸化膜20を形成するとともに、エミッタトレンチ間において、露出するpウェルのみを覆うようにシリケートガラス膜10Aを形成する。

【0168】次に、図46を参照して、 n^- シリコン基板1の第1の主面側全面を覆うようにエミッタ電極10

を形成するとともに、 n^- シリコン基板1の第2の主面に形成されたpコレクタ層3を覆うようにコレクタ電極11を形成する。以上により、図42に示す実施の形態3におけるIGBTが完成する。

【0169】以上、本実施の形態3におけるIGBTにおいても、実施の形態1および実施の形態2と同様の作用効果を得ることができる。なお、本実施の形態3に示す構造においても、装置の微細化のために、pウェル4とエミッタ領域5とを同一断面上にとることができない場合は、実施の形態2の図41に示す平面構造を採用することは可能である。

【0170】ここで、図42に示す断面構造に限らず、図47および図48に示す断面構造を有するIGBTの採用も可能である。図47に示すIGBTは、ゲートトレンチ70を2個連続して設け、その間に挟まれたpウェル4のゲートトレンチ70に接する部分に n^+ エミッタ領域5を設け、さらに、ゲートトレンチ70の間に、エミッタトレンチ80とpウェル4とを各1個以上挟んで繰り返し設けるようにしたものである。この構造により、pウェル4の露出率が減少し、エミッタトレンチ80からのキャリア供給能力を向上させることができる。また、図48に示すように、エミッタトレンチ80の両端部にpウェル4を設けない構造を採用した場合でも図47と同様の作用を得ることができる。

【0171】なお、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。したがって、上述した実施の形態1～実施の形態3において、トレンチ構造を断面について説明してきたが、直線的なゲートトレンチ溝に限らず、リング状や、セル状のゲートトレンチ溝を用いたものにも適用することができる。

【0172】また、 n^- シリコン基板を用いたnチャネル型IGBTについて説明したが、極性を逆にしたpチャネル型IGBTについても同様に適用することができる。さらに、絶縁ゲートを用いるサイリスタ型の素子についても基板に対するキャリアの注入を増加する手法として利用することもできる。

【0173】したがって、本発明の範囲は上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0174】

【発明の効果】請求項1～7および請求項15～21に記載の高耐圧半導体装置およびその製造方法によれば、半導体基板のゲートトレンチの間の位置に、絶縁層が設けられることになる。

【0175】これにより、高耐圧半導体装置のオフ状態においては、この絶縁層が一種のキャパシタとして動作する。絶縁層の上側の表面には、電子が吸い寄せられて、強い負の空間電荷を形成する。半導体基板の下の方

らドナーイオンによって次第に強くなって本来第 1 不純物層に押し寄せる電界がこの強い負の空間電荷によって遮断され、絶縁層と第 1 不純物層との間の電界がほとんどない状態になる。これによって、絶縁層の上側の面の電位は、第 1 不純物層に接続された第 1 主電極とほぼ同電位まで低下する。

【0176】一方、ゲートトレンチの中は、第 1 主電極電位以下の低い電位になっており、ゲートトレンチ底のコーナー部で電界が強まっているものの、絶縁層の端が、ゲートトレンチ底のコーナー部に近いと、絶縁層下の電位が低下していることから、これらの間の電位差が減少して電界が緩和される結果、降伏電圧を改善させることが可能となる。

【0177】次に、高耐圧半導体装置のオン状態においては、絶縁層はホールが第 1 不純物層に吸い込まれるのを防ぐ働きをする。ゲートトレンチは強く正バイアスされているので、電子がゲートトレンチの壁に吸いつけられるとともに、ホールは跳ね返されるためゲートトレンチの壁面と絶縁層との間の隙間を通ることが難しく、第 1 不純物層に到達しにくい状況になる。このため、ホール電流が減少して、トレンチチャネルからの電子の注入効率が高くなり、半導体基板に多量の電子とホールとが供給されて伝導度が向上し、飽和電圧を減少させることが可能となる。

【0178】次に、高耐圧半導体装置のターンオフ時には、ゲート電圧が低下して、チャネルが十分な電子を供給できなくなり、第 2 主電極層の電圧が上昇し始めたとき、半導体基板に蓄えられていた過剰なホールは、低電圧なゲートトレンチに向かって吸い寄せられ、ゲートトレンチの壁に沿って第 1 不純物層に到達し、第 1 主電極層に流出する。

【0179】したがって、もともとターンオフ時には、第 1 不純物層の下ゲートトレンチに囲まれた部分には大きな電流は流れないので、絶縁層がその箇所にあって特に障害とはならない。次に、オン状態のときに、たとえば図 48 の実線で示したキャリア分布を持った素子をターンオフした場合、第 1 主電極層側に多く存在したホールは、第 1 主電極側から掃き出されるので、ターンオフ初期にはホールが掃き出された後にできる空乏層は緩やかにしか延びず、第二主電極電圧はやや緩やかに上昇を始める。

【0180】しかし、ある程度第 2 主電極電圧が上昇して空乏層が延びると、初期に蓄積されたキャリアの少ない領域に空乏層先端が進み、ホールの掃き出しによる空乏層の延びが速やかになる。これにより、ターンオフの最後まで速やかにコレクタ電圧が上昇するようになる。その結果、ターンオフ損失が減少するとともに、これに伴う高耐圧半導体装置の内部の温度上昇も低く抑えることが可能となる。

【0181】次に、請求項 8、9 および請求項 22、2

3 に記載の高耐圧半導体装置およびその製造方法によれば、飽和電圧を減少させて、半導体基板へのキャリア注入を増加させることが可能となり、また降伏電圧においても、若干降伏電圧を増加させて、高耐圧半導体装置の性能を向上させることが可能となる。

【0182】また、本構造においては、エミッタトレンチが第 1 主電極の電位と同電位に設定されているため、ゲートトレンチの単位面積が減少するため、ゲート容量を大幅に減らせることが可能となる。このことは、大電力を扱うことが狙いの高耐圧半導体装置においては、ゲート容量の低減が高耐圧半導体装置の簡素化のために強く求められており、この点は極めて重要となる。特に、ゲートトレンチと第 2 主電極層間の容量（帰還容量）が小さくなることで、スイッチングが高速にできるようになり、スイッチング損失を減少させる効果を得ることが可能になる。

【0183】次に、請求項 10～14 および請求項 24～26 に記載の高耐圧半導体装置およびその製造方法によれば、この発明に基づいた高耐圧半導体装置およびその製造方法のさらに他の局面によれば、ゲートトレンチの間に、第 1 主電極層と同電位に設定されたエミッタトレンチが複数配置されている。この構造をもちいることによって、たとえばゲートトレンチとエミッタトレンチの形状が同じであっても、ゲートトレンチとエミッタトレンチとの間隔をゲートトレンチのピッチに対する比率を必要な値まで減少させることができるため、容易に製造することが可能となる。

【図面の簡単な説明】

【図 1】 本発明に基づく実施の形態 1 におけるゲートトレンチ型高耐圧 IGBT の断面構造図である。

【図 2】 本発明の実施の形態 1 における絶縁層 1 の縦方向仕様に対する降伏電圧と飽和電圧との依存性を示す図である。

【図 3】 本発明の実施の形態 1 における絶縁層の横方向仕様に対する降伏電圧と飽和電圧との依存性を示す図である。

【図 4】 本発明の実施の形態 1 と従来構造との、IGBT のゲートトレンチピッチ仕様に対する降伏電圧と飽和電圧との依存性を比較する図である。

【図 5】 本発明の実施の形態 1 におけるゲートトレンチピッチと絶縁層の横方向仕様に対する降伏電圧と飽和電圧との依存性を示す図である。

【図 6】 本発明の実施の形態 1 に示す構造と従来構造との飽和電圧特性を比較する図である。

【図 7】 本発明の実施の形態 1 における誘導負荷ターンオフ特性を示す図である。

【図 8】 本発明の実施の形態 1 における縦方向の電子密度分布を示す図である。

【図 9】 本発明に基づく実施の形態 1 の実施例 1 におけるゲートトレンチ型高耐圧 IGBT の第 1 製造工程を

おけるゲートトレンチ型高耐圧 IGBT の第 6 製造工程を示す断面図である。

【図 27】 本発明に基づく実施の形態 1 の実施例 2 におけるゲートトレンチ型高耐圧 IGBT の第 7 製造工程を示す断面図である。

【図 28】 本発明に基づく実施の形態 1 の実施例 2 におけるゲートトレンチ型高耐圧 IGBT の第 8 製造工程を示す断面図である。

【図 29】 本発明に基づく実施の形態 1 の実施例 2 に
10 おけるゲートトレンチ型高耐圧 IGBT の第 9 製造工程
を示す断面図である。

【図30】 本発明に基づく実施の形態2におけるゲートトレンチ型高耐圧IGBTの断面構造図である。

【図 31】 本発明の実施の形態 2 における IGBT と従来の IGBT よの、ゲートトレンチピッチ仕様に対する降伏電圧と飽和電圧との依存性を比較する図である。

【図32】 本発明に基づく実施の形態2におけるゲートトレンチ型高耐圧IGBTの第1製造工程を示す断面図である。

20 【図33】 本発明に基づく実施の形態2におけるゲートトレンチ型高耐圧IGBTの第2製造工程を示す断面図である。

【図 3 4】 本発明に基づく実施の形態 2 におけるゲートトレンチ型高耐圧 IGBT の第 3 製造工程を示す断面図である。

【図 35】 本発明に基づく実施の形態 2 におけるゲートトレンチ型高耐圧 IGBT の第 4 製造工程を示す断面図である。

【図36】 本発明に基づく実施の形態2におけるゲートトレンチ型高耐圧IGBTの第5製造工程を示す断面図である。

【図 37】 本発明に基づく実施の形態 2 におけるゲートトレンチ型高耐圧 IGBT の第 6 製造工程を示す断面図である。

【図 38】 本発明に基づく実施の形態 2 におけるゲートトレンチ型高耐圧 IGBT の第 7 製造工程を示す断面図である。

【図 39】 本発明に基づく実施の形態 2 におけるゲートトレンチ型高耐圧 IGBT の第 8 製造工程を示す断面図である。

【図４０】 本発明に基づく実施の形態２におけるゲートトレンチ型高耐圧ＩＧＢＴの第９製造工程を示す断面図である。

【図４１】 本発明に基づく実施の形態２における図３の上面パターン図である。

【図４２】 本発明に基づく実施の形態３におけるゲートトレンチ型高耐圧ＩＧＢＴの断面図である。

【図４３】 本発明に基づく実施の形態３におけるゲートトレンチ型高耐圧ＩＧＢＴの第１製造工程を示す断面図である。

【図44】 本発明に基づく実施の形態3におけるゲートトレンチ型高耐圧IGBTの第2製造工程を示す断面図である。

【図45】 本発明に基づく実施の形態3におけるゲートトレンチ型高耐圧IGBTの第3製造工程を示す断面図である。

【図46】 本発明に基づく実施の形態3におけるゲートトレンチ型高耐圧IGBTの第4製造工程を示す断面図である。

【図47】 本発明に基づく実施の形態3におけるゲートトレンチ型高耐圧IGBTの他の第1断面図である。

【図48】 本発明に基づく実施の形態3におけるゲートトレンチ型高耐圧IGBTの他の第2断面図である。

【図49】 従来技術におけるゲートトレンチ型高耐圧IGBTの断面図である。

【図50】 従来技術におけるIGBTの誘導負荷ターンオフ特性を示す図である。

【図51】 従来技術におけるIGBTの縦方向の電子

密度分布を示す図である。

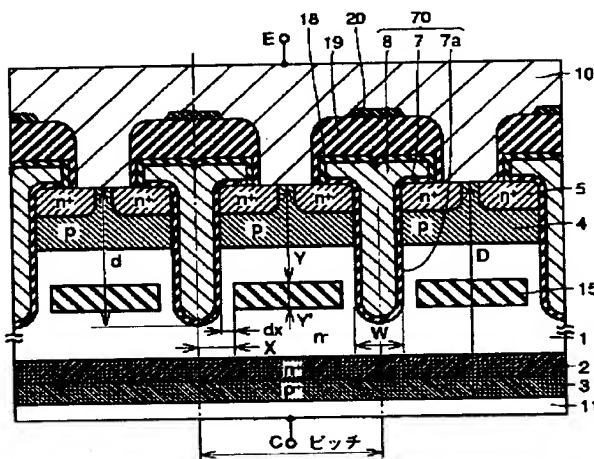
【図52】 従来技術におけるゲートトレンチ型高耐圧IGBTの応用的構造を示す断面図である。

【図53】 従来技術におけるゲートトレンチ型高耐圧IGBTにおいて、pウェル下にn層を埋込んだ場合のn層仕様に対する降伏電圧と飽和電圧との依存性を示す図である。

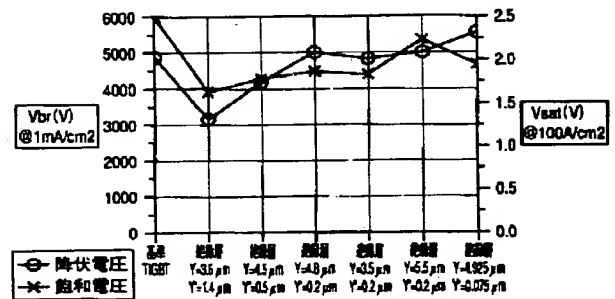
【符号の説明】

1 n⁻シリコン基板、2 n⁺バッファ層、3 pコレクタ層、4 pウェル、5 n⁺エミッタ領域、7 ゲート絶縁膜、7a ゲートゲートトレンチ溝、8 ゲート電極、15 絶縁層、18 絶縁膜、19 シリケートガラス膜、20 CVD酸化膜、10 エミッタ電極、11 コレクタ電極、70 ゲートトレンチ、80 エミッタトレンチ、80a エミッタトレンチ溝、80b エミッタ絶縁膜、80c エミッタトレンチ電極。

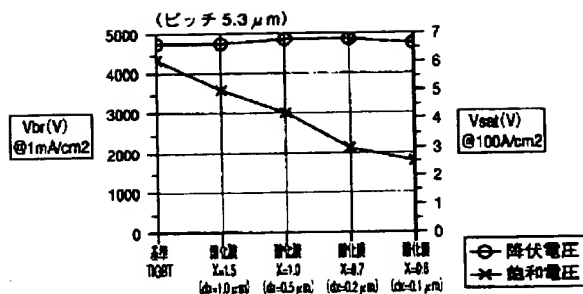
【図1】



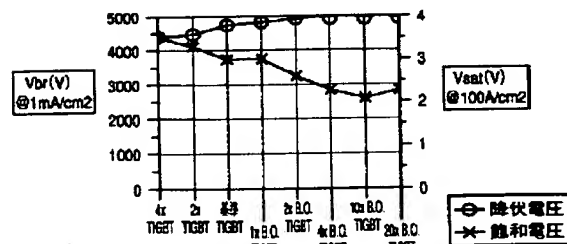
【図2】



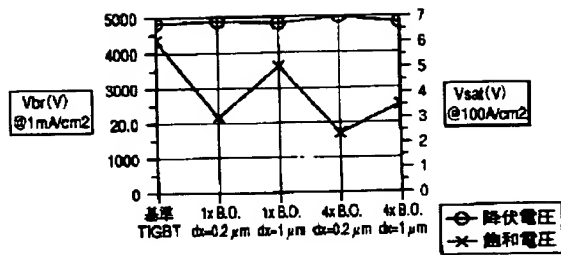
【図3】



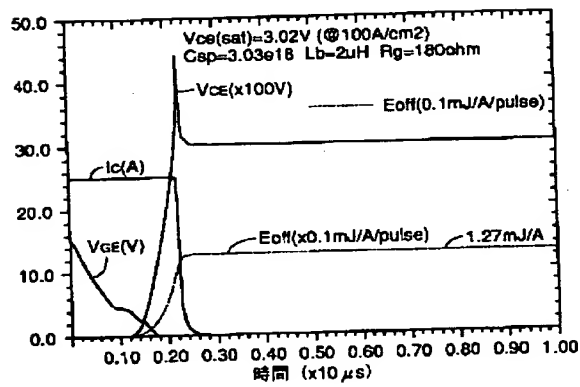
【図4】



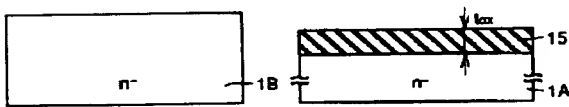
【図5】



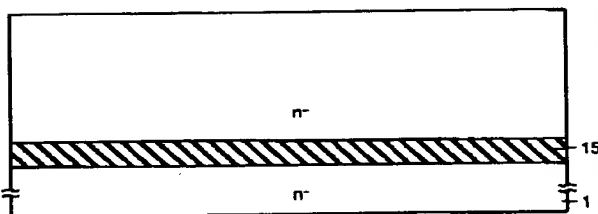
【図7】



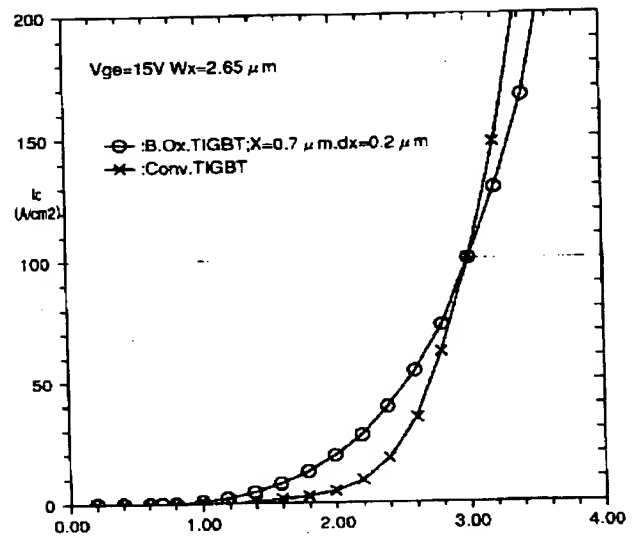
【図9】



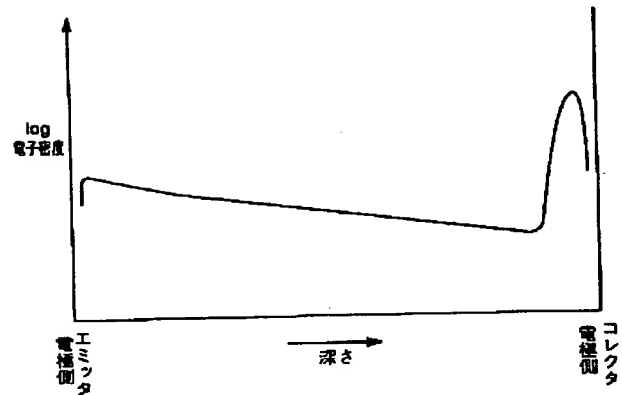
【図10】



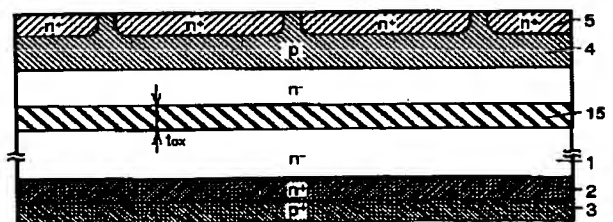
【図6】



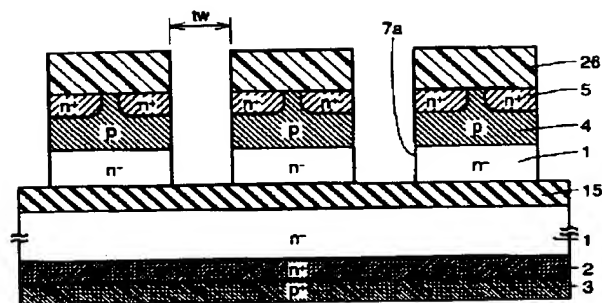
【図8】



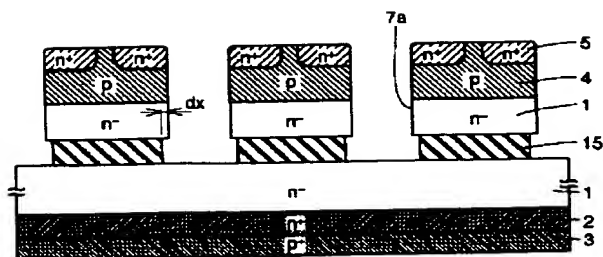
【図11】



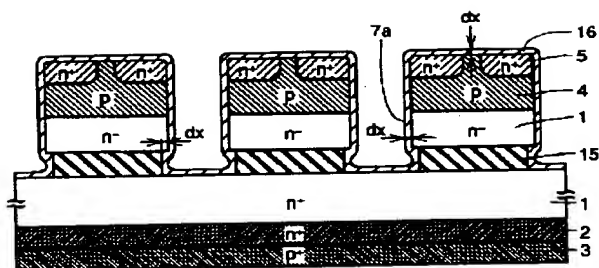
【図12】



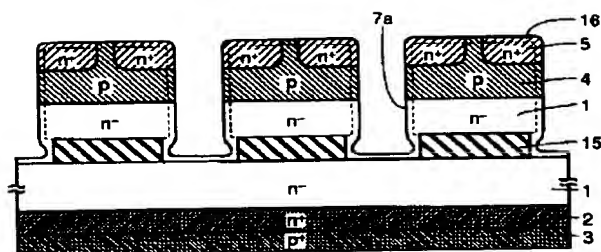
【図13】



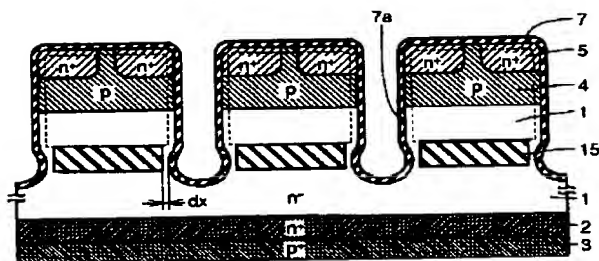
【図14】



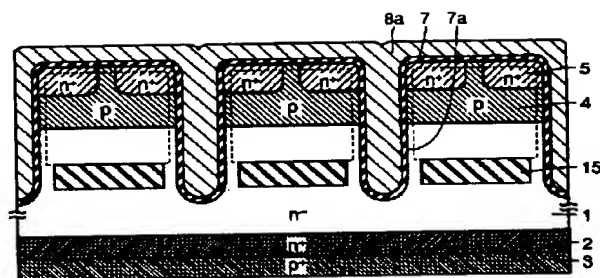
【図15】



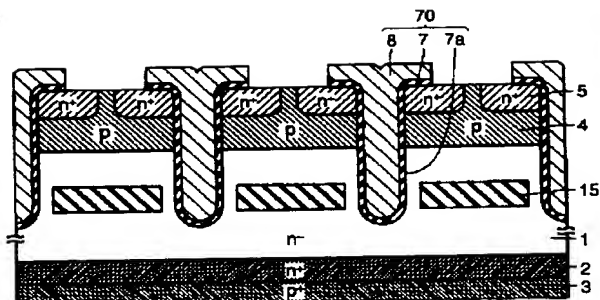
【図16】



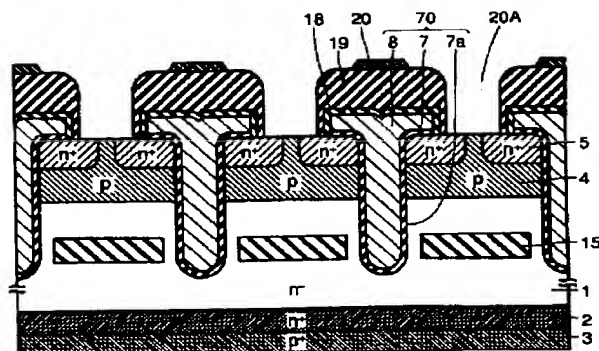
【図17】



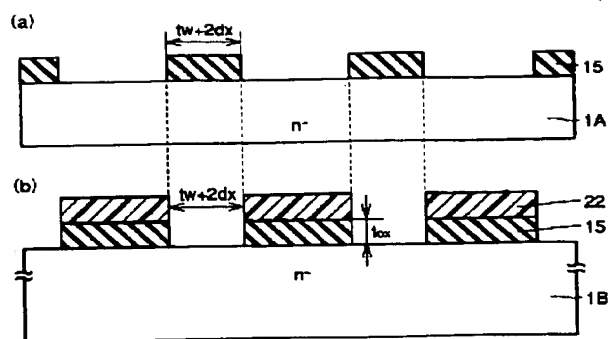
【図18】



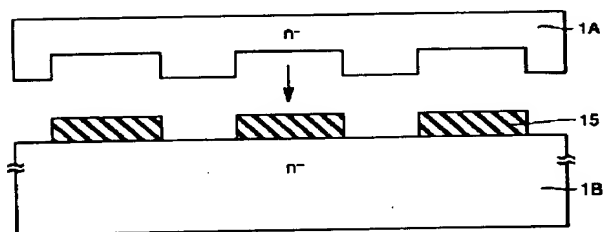
【図19】



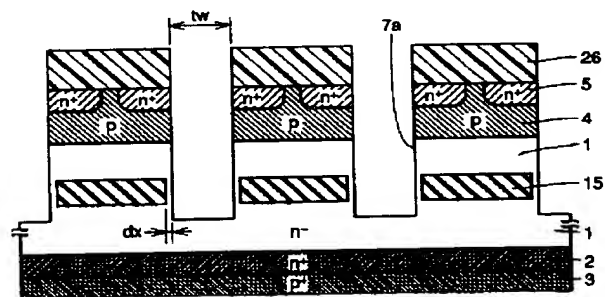
【図 2 1】



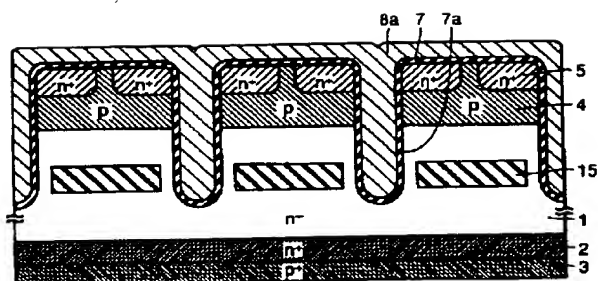
【図 2 3】



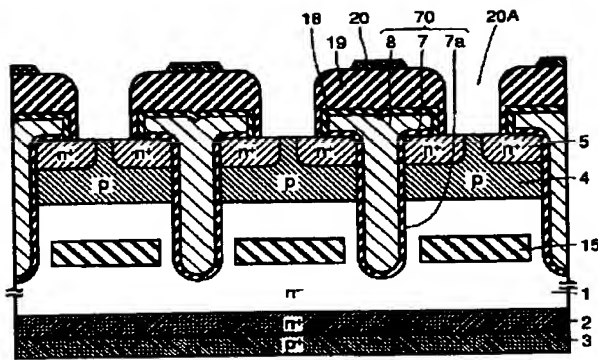
【図 25】



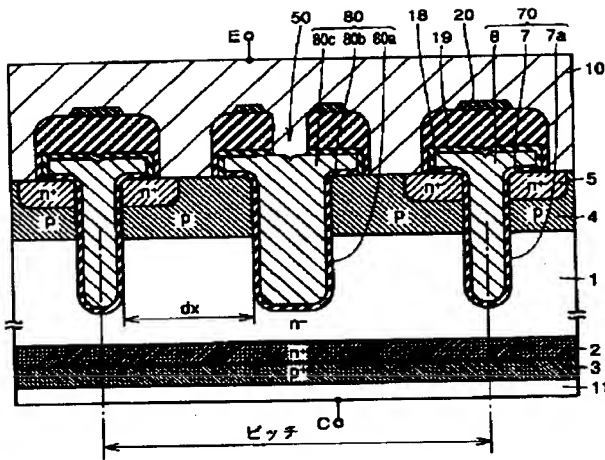
【图 27】



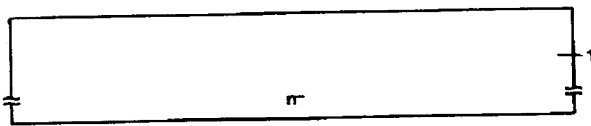
【図28】



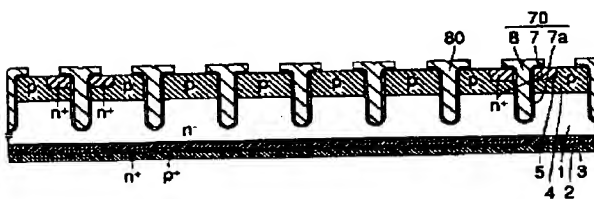
【図30】



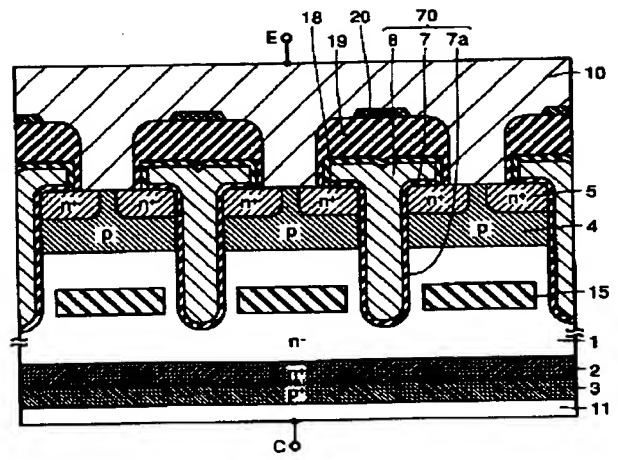
【図32】



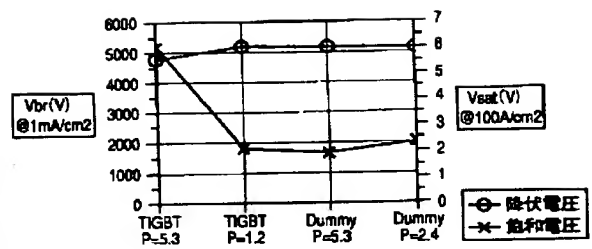
【図43】



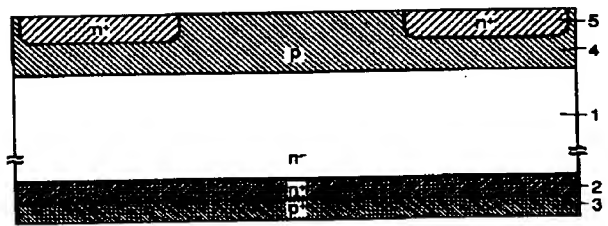
【図29】



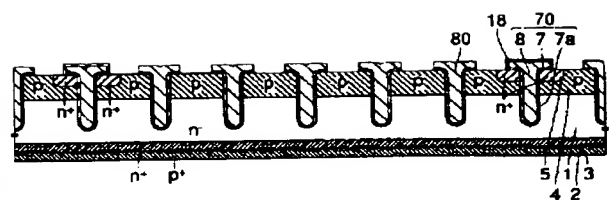
【図31】



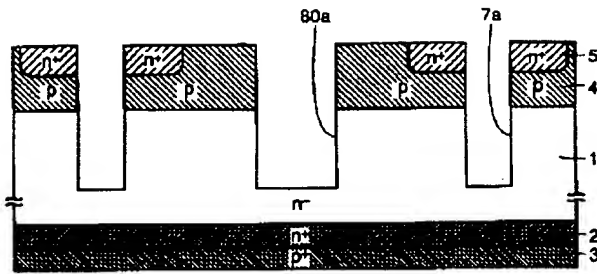
【図33】



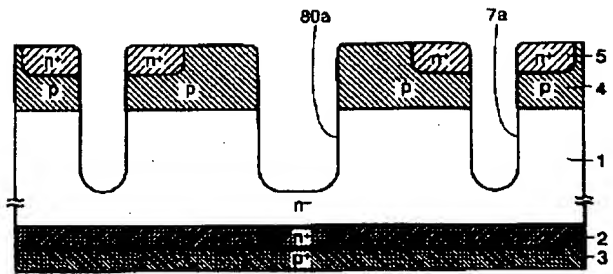
【図44】



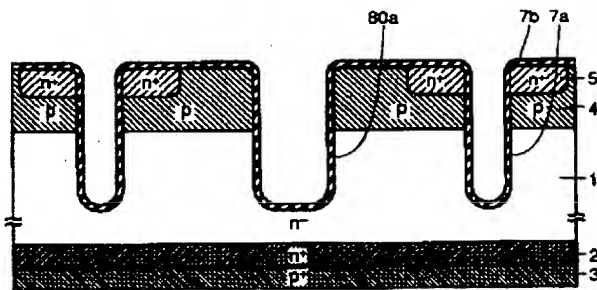
【図 34】



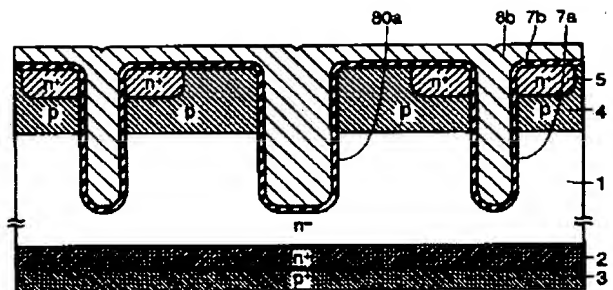
【図 35】



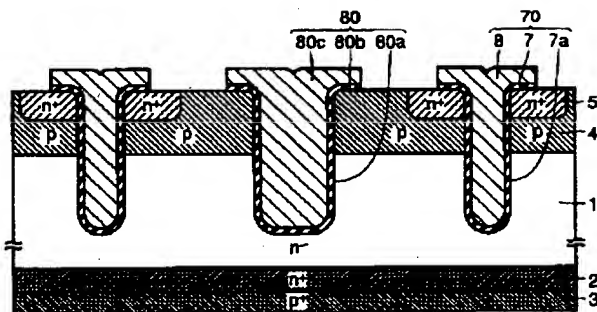
【図 36】



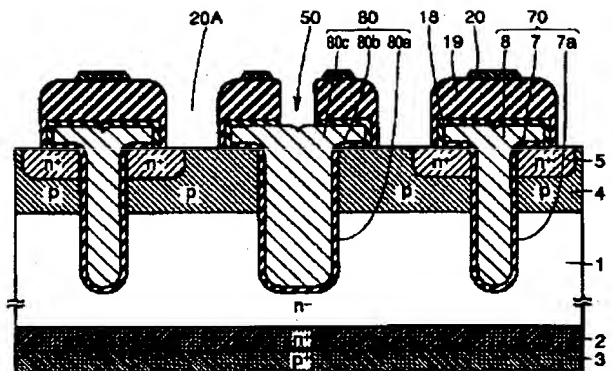
【図 37】



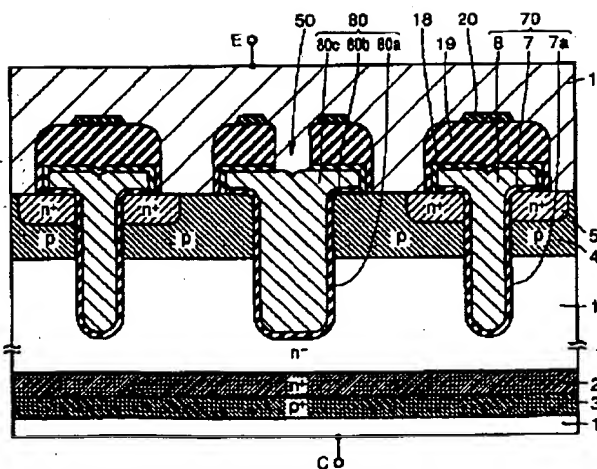
【図 38】



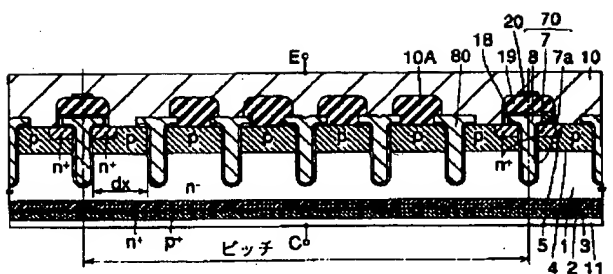
【図 39】



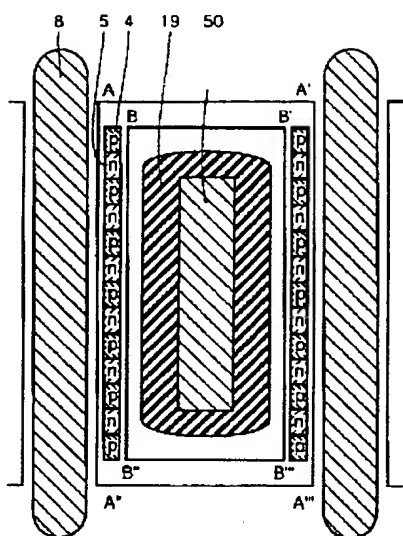
【図 40】



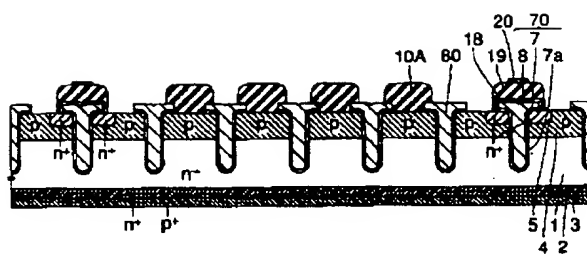
【図 42】



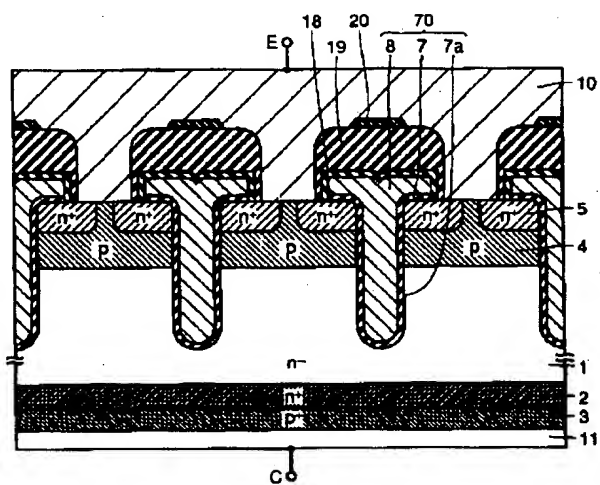
【図41】



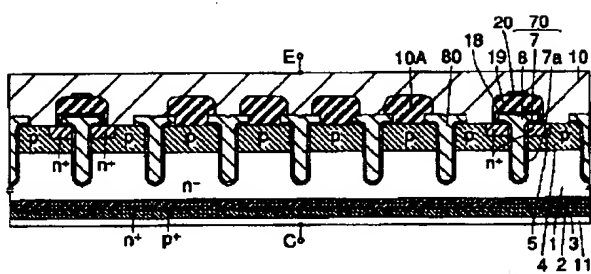
【図45】



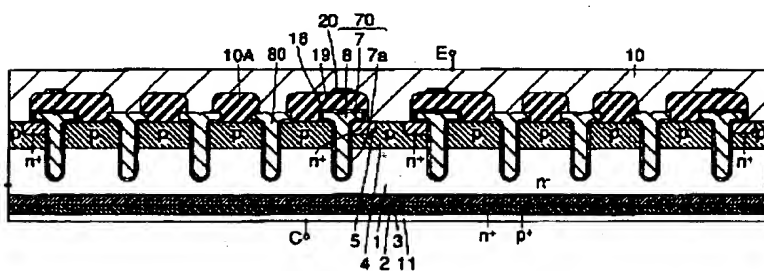
【図49】



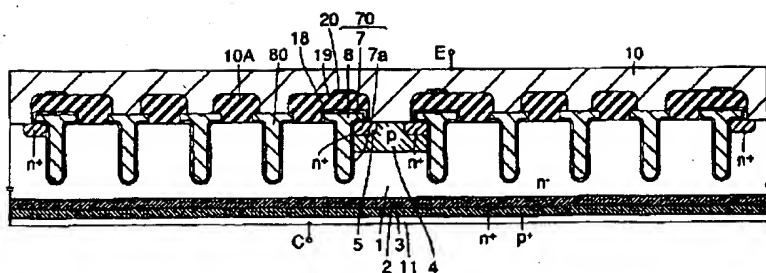
【図46】



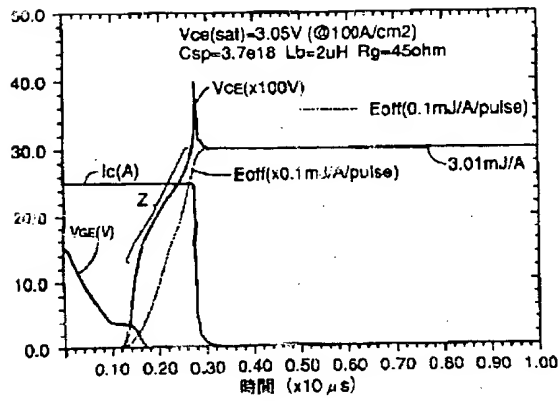
【図47】



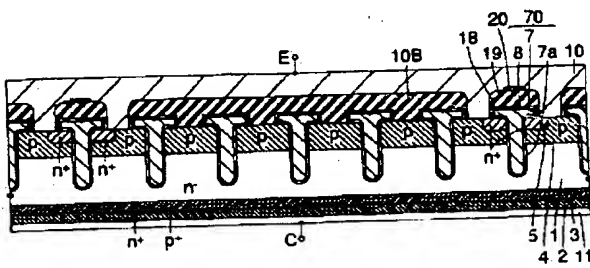
【図48】



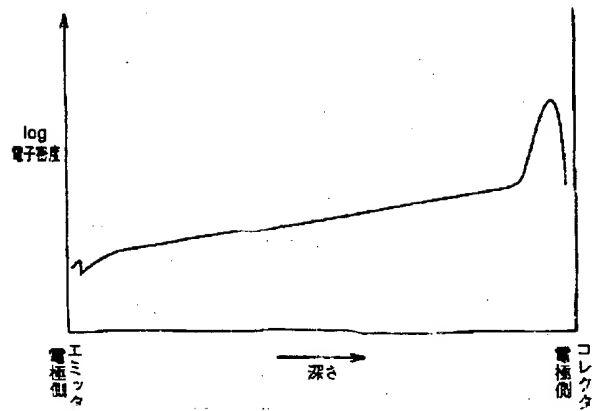
【図50】



【図52】



【図51】



【図53】

